

DVB-T 發射機接收機之設計與實現

陳逸民、陳德龍、黃偉倫
國立中央大學通訊工程學系

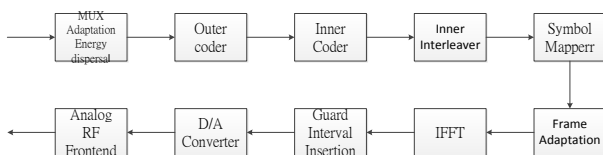
摘要 一台灣目前所採用的數位電視廣播系統為 DVB-T，在本文中，設計並且實現 DVB-T 的傳送端以及接收端的硬體實現並且使用 FPGA 進行驗證。發射機方面有里德-所羅門碼、外交錯器、迴旋碼、打孔器、內交錯器(bit、symbol)、快速反傅利葉處理器、CP 產生器、升頻器。接收端方面則有數位降頻器、訊號同步器、快速傅立葉轉換處理器、通道估測器、通道等化器、軟式決策器、訊號解交錯器及通道解碼器。

一、簡介

台灣的電視即將全面數位化，將以數位電視廣播取代類比電視廣播，除了可提升頻譜使用效率外，也能解決類比電視因地形地物因素影響而造成訊號干擾的問題。

本文將針對台灣數位電視廣播之規格在 FPGA 上實現發射機與接收機，在硬體實現層面上，先對系統以軟體進行模擬，將接收機內各模組之定點數的參數量化做一定義，接著在硬體實現時同時考慮接收機內模組硬體複雜度與接收機系統的位元速率，最後使用兩塊 FPGA 當做收發機，進行訊號對傳。

二、DVB-T 系統簡介與規格



圖一：DVB-T 傳送端方塊圖

圖一為 DVB-T 傳送端之方塊圖，在其中系統輸入的資料是 MPEG-2 傳輸串流，TS 訊號進入 DVB-T 系統時先以通道編碼和數個交錯器來對資料進行打散、保護，而在編碼與打散方面 DVB-T 是採用外層與內層通道編碼對資料作保護，先以里.所羅門碼(Reed-Solomon Code, RS Code)編碼，而 DVB-T 所使用的 RS 碼(204, 188, t=8)是經由 RS 碼(255, 239, t=8)將前 51 個 symbols 設為零演變而來，意即為其縮短碼(Shortened Code)，接著在經過外交錯器(Outer Interleaver)的打散動作，再進入內層編碼，由旋乘積碼(Convolutional Code)進行編碼動作，再進入兩個內交錯器，分別為 Bit Interleaver 以及 Symbol Interleaver 進行打散動作，這種交錯器的打散動作是為了加強對抗突波錯誤(Burst Error)，接著經過 OFDM 調變方式調變後傳送。文中所模擬之訊號規格與參數如表 I 所示。

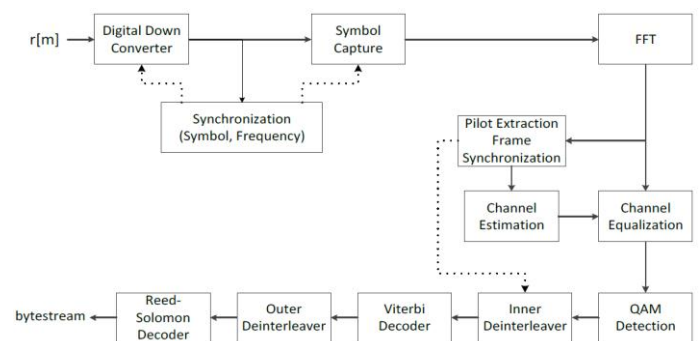
表 I

	6MHz
Transmission mode	8K mode
No. of Carrier(K)	6817
No. of Data Carrier	6048
No. of Continual Pilots	177
No. of Scatter Pilots	524
No. of TPS	68
Carrier Spacing (Δf)	837.054Hz
Sampling Frequency (f_s)	48/7 MHz
Bandwidth	5.706 MHz
Modulation	QPSK、16QAM、64QAM
Code Rate	1/2、2/3
Guard Interval Ration	1/4

三、DVB-T 發射機及接收機模組與硬體設計

3.1 接收機系統架構與設計

根據圖一DVB-T的發射機設計架構，我們在接收機上所設計之架構如圖二所示。



圖二：DVB-T 接收端方塊圖

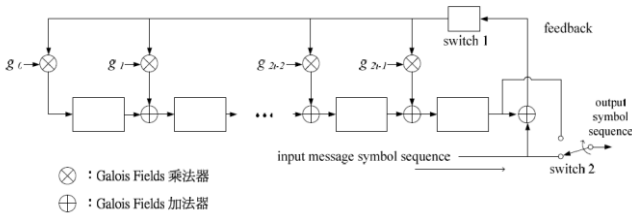
接著將對圖一、圖二中各模組進行硬體規格設計。

3.2 里.所羅門碼(Reed-Solomon Code)

Reed-Solomon Code 為非二位元碼，由 m 個位元組成一個符元，對於一個有 t 個錯誤更正能力的建立在 $GF(2^m)$ 場，參數定義如下：

$$n = 2^m - 1 \quad k = 2^m - 2t - 1 \quad n - k = 2t$$

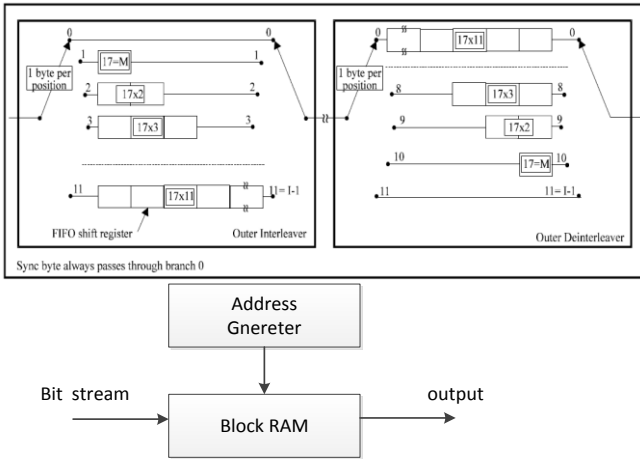
硬體架構如下：



圖三：里所羅門碼(Reed-Solomon Code)

3.3外交錯器(Outer Interleaver)

外交錯器的功能在於把RS Code處理完的字串進行打散應用，為了是防範突波錯誤(Burst Error)，硬體架構如下硬體架構如下：



圖四：外交錯器(Outer Interleaver)

3.4迴旋碼(Convolutional Code)

在內邊碼部分的使用的是迴旋碼(Convolutional Code)，它的碼率為1/2、2/3、3/4、5/6、7/8。硬體架構如下：

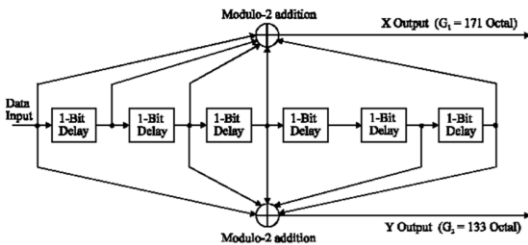


Figure 5: The mother convolutional code of rate 1/2

Table 2: Puncturing pattern and transmitted sequence after parallel-to-serial conversion for the possible code rates

Code Rates r	Puncturing pattern	Transmitted sequence (after parallel-to-serial conversion)
1/2	X: 1 Y: 1	$X_1 Y_1$
2/3	X: 1 0 Y: 1 1	$X_1 Y_1 Y_2$
3/4	X: 1 0 1 Y: 1 1 0	$X_1 Y_1 Y_2 X_3$
5/6	X: 1 0 1 0 1 Y: 1 1 0 1 0	$X_1 Y_1 Y_2 X_3 Y_4 X_5$
7/8	X: 1 0 0 1 0 1 Y: 1 1 1 0 1 0	$X_1 Y_1 Y_2 Y_3 Y_4 X_5 Y_6 X_7$

圖五：迴旋碼(Convolutional Code)

3.5位元交錯器(Bit Interleaver)

DVB-T中運用的內交錯器有兩個，一個就是此位元交錯器(Bit Interleaver)，打散的方法如下：

$$B(e) = (b_{e,0}, b_{e,1}, b_{e,2}, \dots, b_{e,125})$$

where e ranges from 0 to v-1.

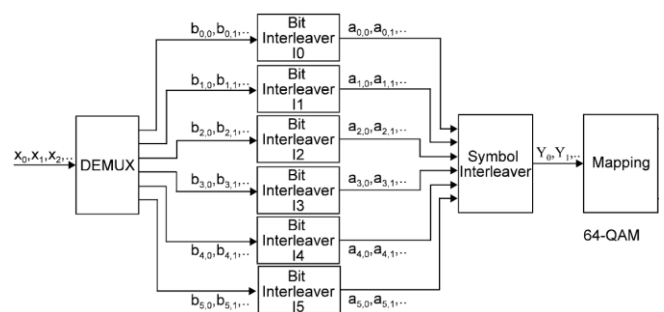
The interleaved output vector $A(e) = (a_{e,0}, a_{e,1}, a_{e,2}, \dots, a_{e,125})$ is defined by:

$$a_{e,w} = b_{e,He(w)} \quad w = 0, 1, 2, \dots, 125$$

10: $H_0(w) = w$ 13: $H_3(w) = (w + 42) \bmod 126$

11: $H_1(w) = (w + 63) \bmod 126$ 14: $H_4(w) = (w + 21) \bmod 126$

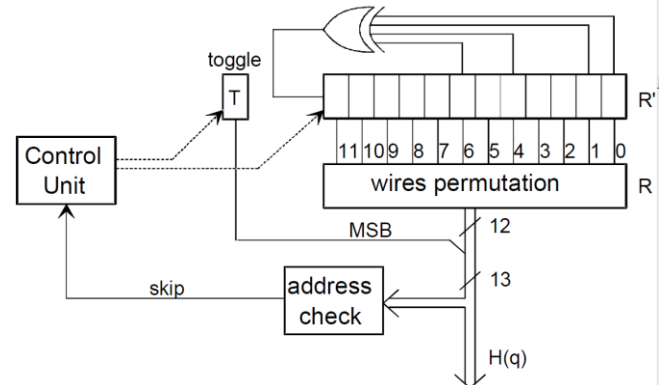
12: $H_2(w) = (w + 105) \bmod 126$ 15: $H_5(w) = (w + 84) \bmod 126$



圖六：位元交錯器(Bit Interleaver)

3.6符元交錯器(Symbol Interleaver)

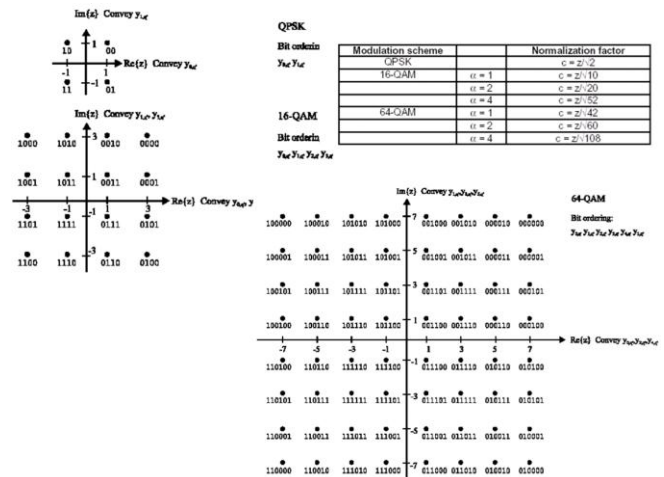
符元交錯器(Symbol Interleaver)，是串流資料經過位元交錯器(Bit Interleaver)後，每6048個訊號就近行一次打散的規律，打散的規律有兩種，一直交替下去進行打散的動作，硬體架構如下：



圖七：符元交錯器(Symbol Interleaver)(8K mode)

3.6QAM訊號產生器(QAM Mapper)

經過符元交錯器(Symbol Interleaver)後的資料串流，進行QAM訊號的映射，DVB-T的QAM訊號產生器(QAM Mapper)用的是Gary code進行映射，可防止相位變化過大造成的錯誤。



圖八：QAM訊號產生器(QAM Mapper)

3.7領航碼產生器(Pilot Generater)

再DVB-T中，也使用Pilot進行通道估測，而DVB-T的Pilot是用一個PN-Code產生器來產生Pilot的變化模式來產生Pilot。硬體架構如下：

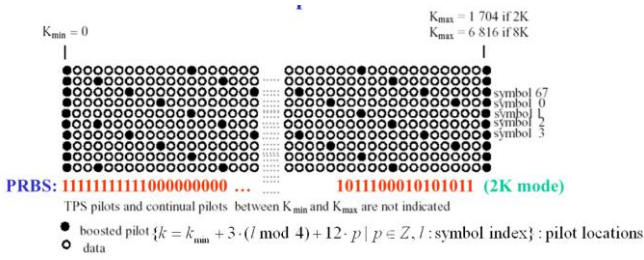
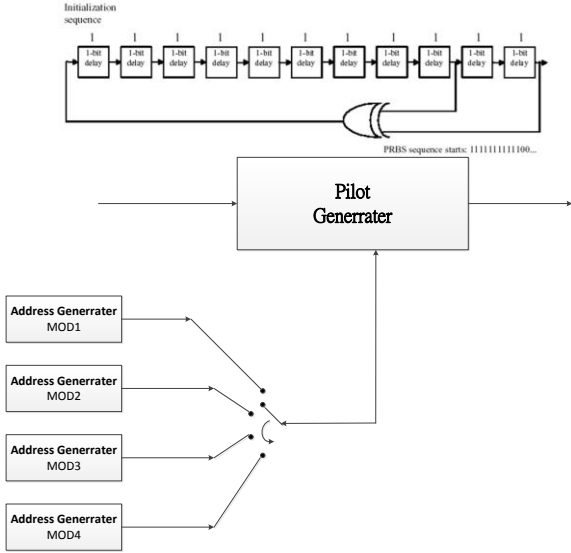


Figure 11: Frame structure



圖九：領航碼產生器(Pilot Generator)

3.8子載波映射器(Subcarrier Mapping)

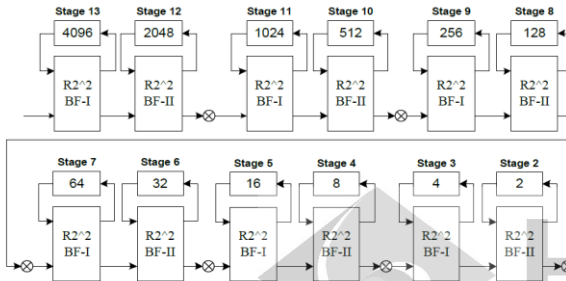
資料串流再經過以上的設計之後，開始在8192個子載波上放置到規定的位址，之後再進入快速反傅利葉轉換器進行OFDM訊號產生。以下是擺放的位址：
 0~3048 4784~8191 總計6817個子載波有放置OFDM訊號。



圖十：子載波映射器(Subcarrier Mapping)

3.9快速反傅立葉轉換器(IFFT)

在快速反傅立葉轉換器中本文主要採用的是 Radix-22分頻快速反傅立葉轉換(DIF)演算法以 Pipeline架構及Single-Path Delay Feedback (SDF)達成。若以 8192點為例，其架構如下所示。

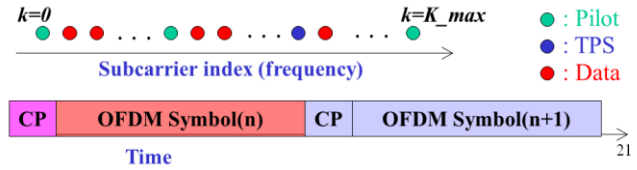


圖十一：快速反傅立葉轉換器(IFFT)

3.10循環字首產生器(Cyclic Prefix)

DVB-T藉由加入循環字首(cyclic prefix)有效解決傳輸時的

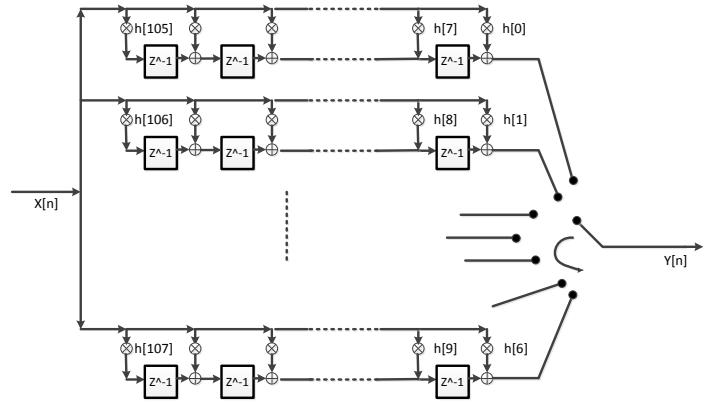
訊號之間的互相干擾(ISI)與通道之間的互相擾(ICI)。詳細如下：



圖十二：循環字首產生器(Cyclic Prefix)

3.11多相位濾波器(Polyphase Filter)

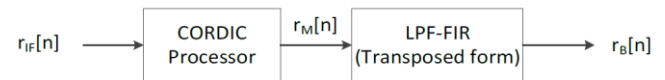
因為DVB-T的取樣頻率為48/7 Mhz，而本文驗證所使用的FPGA版為48Mhz，所以在output的部分就要用一個升高取樣率的模組來進行升取，在進入一LPF，因此本文使用了多相位濾波器來進行實現，多相位濾波器的中心思想是建立在一個有Up-sample/Down-sample之情況，Filter本身能當作Up-sample/Down-sample Filter滿足Anti-alias條件，”只做必要的計算”。



圖十三：設計的濾波器(db)

以上為發設機模組的主要架構，接下來要介紹的是接收機模組的主要架構。

3.12數位降頻器(Digital Down Converter)

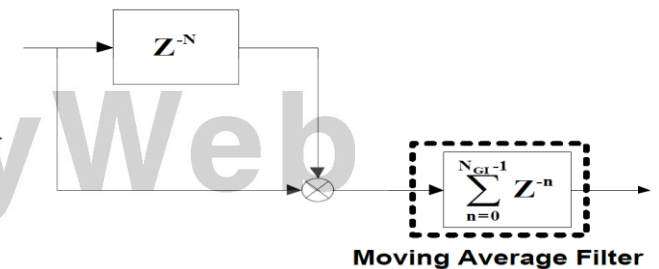


圖十四：數位降頻器(Digital Down Converter)

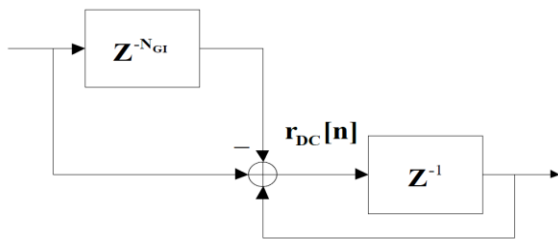
數位降頻器(Digital Down Converter)其原理為對數位中頻訊號乘上降頻之載波，並通過低通濾波器將兩倍頻濾除，此降頻器使用的是做邊軸數位旋轉計算器(Coordinate Rotation Digital Computer, CORDIC)做運算。

3.13時序/碼濾同步器

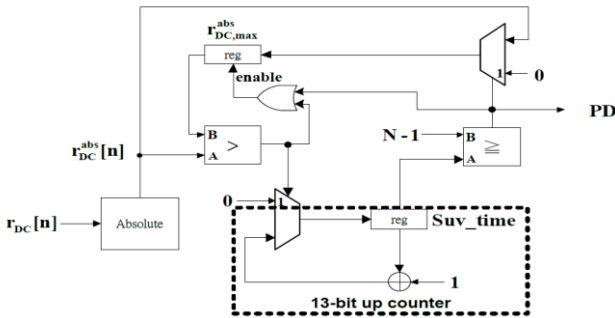
DVB-T接收端在符碼同步上是利用延遲相關器再搭配峰值檢測器及符碼同步器來對 OFDM符碼作時序同步再以頻率同步器進行頻率同步。硬體架構如下：



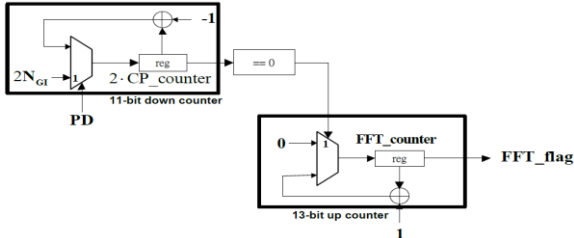
圖十五：延遲相關器



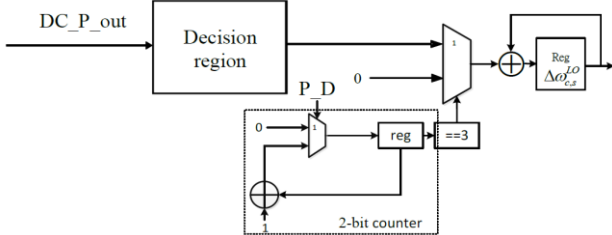
圖十六；移動平均濾波器架構圖



圖十七；峰值檢測器架構圖



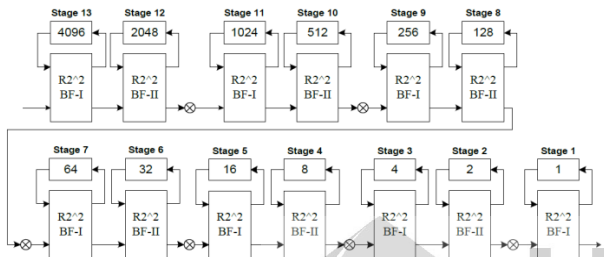
圖十八；符碼同步器架構圖



圖十九；頻率同步器架構圖

在時序上的同步是先利用延遲相關器得到相關值後以峰值檢測器偵測符碼起始位置，接著利用起始位置以符碼同步器對時序做同步，而在頻率同步部份則是利用時序同步所得之資訊以每四個符碼做一次頻率同步的修正。

3.14 快速傅立葉轉換器(FFT)

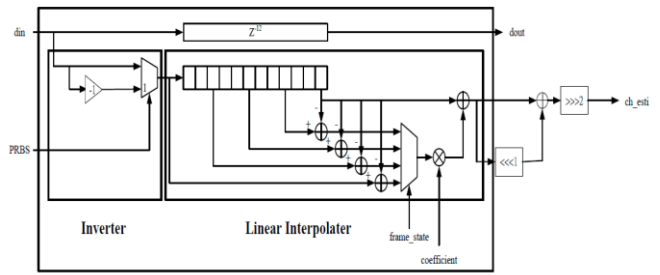


圖二十；快速傅立葉轉換器(FFT)

快速傅立葉轉換器(FFT)再發設端部分已介紹了快速反傅立葉轉換器(FFT)，其中的輸入關係為共軛。

3.15 通道估測/等化器

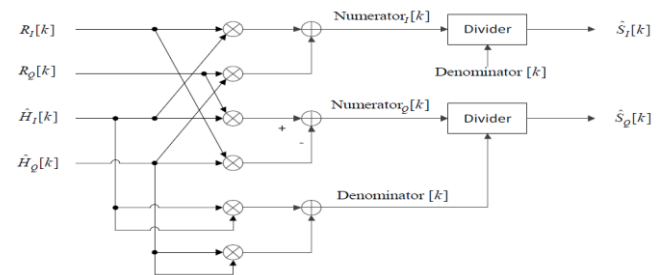
DVB-T通道估測部份，本文是以方便硬體實現採用線性內差器來實現，其硬體架構如下所示：



Channel Estimation

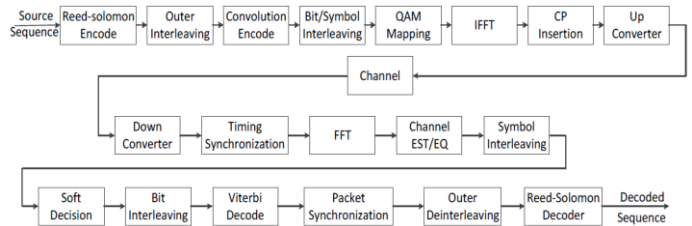
圖二十一；通道估測/等化器

而通道等化器是對複數除法器的實現，經化簡後可將實虛部分開運算即變成兩實數除法，如圖十八所示，其中R為FFT後之訊號，H為通道估測值。實數除法部份以CORDIC演算法來實現，利用遞迴方式逼近除法結果。



圖二十二；複數除法分母與分子之硬體架構

四、DVB-T 發射機及接收機系統整合



圖二十三；DVB-T發射機接收機系統整合方塊圖

結論

本文以參照DVB-T的規格來進行設計硬體架構與實現，並以軟體模擬方法來設計訂定各模組所需要的資源數，同時在考硬體複雜度、資源消耗、系統效能、錯誤容忍下在這四個條件下取得平衡，最後以FPGA來進行證。

參考文獻

- [1] ETSI EN 300 744, Digital Video Broadcasting(DVB), Framing structure channel coding and modulation for digital terrestrial television. European Standard.
- [2] C.H. Kuo, "Design and Implementation of Viterbi Decoder for Multi-Rate Convolutional Code in DVB-T System," National Central University, Master's thesis, Jul. 2010.
- [3] W.L. Hsueh, "Reed-Solomon Decoder Hardware Implementation for Digital Video Broadcasting Standard for Terrestrial Transmission(DVB-T) Channel Coding," National Central University, Master's thesis, Jul. 2007.
- [4] W.Y. Huang, "Design and FPGA Implementation of An Improved Inter-Carrier Interference Mitigation Scheme for OFDM System in High-Mobility Environment," National Central University, Master's thesis, 2010.
- [5] Hsu, Ming-yan, "Design and FPGA Implementation of Baseband Receiver for DVB-T System," National Central University, Master's thesis, Jul. 2012.
- [6] Y.M. Chen, "Design of Digital Front-End for OFDM Receivers with Asynchronous IF Sampling," IEEE APWCS, Korea, 2006.