

使用雙平衡電阻性混頻之 5.8GHz 射頻前端接收機

古長麟、黃建彰、林嘉祥*、羅芳鏡
元智大學通訊工程學系暨研究所

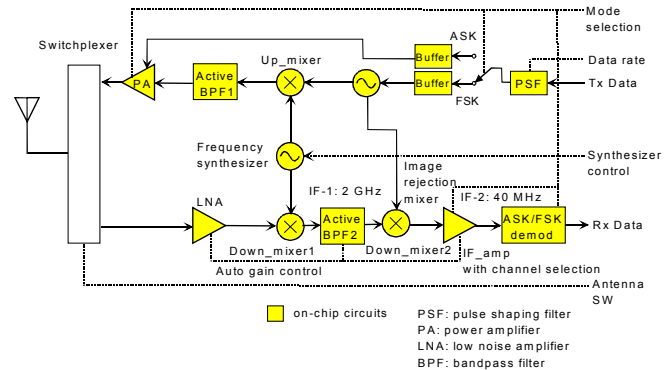
摘要 — 本文敘述一使用 0.18 μm CMOS 製程之 5.8 GHz 射頻前端電路設計，包括低雜音放大器與混頻器，其中低雜音放大器使用疊接式架構，採單端輸入／變壓器耦合之雙端輸出模式，混頻器則為雙平衡式電阻性架構，並利用 FET 基底與源極端作本地振盪輸入，此種設計兼具不需級間阻抗匹配並保有高性能之優點，模擬結果顯示在中頻為 2 GHz 其雜音指數為 2.7 dB，轉換增益為 6.3 dB，輸入三階折斷點為 -11 dBm，1.2 V 供應電壓下功耗為 4.3 mW，晶片面積則為 $1.1 \times 0.66 \text{ mm}^2$ ，此晶片設計可應用於微波電子收費系統中。¹

一、簡介

特定短程通訊 (Dedicated Short Range Communications, DSRC) 屬智慧型運輸系統 (Intelligent Transportation System, ITS) 中的一支，特別適於車輛各項資訊交換與安全警示等用途，例如電子收費 (Electronic Toll Collection, ETC)、電子地圖資料下載，甚或車輛自動偵測防撞與防盜等，應用日趨廣泛，目前國際仍未針對 DSRC 制定一全球共通之規格。因此，日本的 ARIB、歐洲的 CEN 以及美國的 ASTM 分別制定了各自的標準，而臺灣之 DSRC 實體層參數和歐規相似，並相容於中國大陸所訂定之國家標準，使用分頻雙工 (Frequency division duplex, FDD) 方式運作，即發射與接收為不同頻段，以車用機 (On-board unit, OBU) 為例，發射頻率為 5780 MHz ~ 5800 MHz，接收頻率為 5820 MHz ~ 5840 MHz，最大發射功率為 10 dBm，接收靈敏度至少需達 -70 dBm [1]。

DSRC/ETC 系統之關鍵零組件包括射頻／基頻之整合型晶片、通訊加／解密晶片以及 IC 卡控制晶片等，其中射頻前端之低雜音放大器與降頻混頻器無疑地直接決定了系統接收靈敏度的好壞，以 DSRC/ETC 應用來說，其規格尚稱一般，對電源省電的要求也並不特別，但成本的考量卻是一個主要因素，射頻前端如何配合整個系統作整合設計，是首要考量。

本論文之 5.8 GHz ETC 接收機採兩次降頻／一次升頻的方式，如圖一所示，接收第一中頻為 2 GHz，第二中頻為 40 MHz，使用這種架構讓系統擁有更佳接收靈敏度，並大幅降低射頻頻率合成器之設計複雜度與頻率精確度要求，且可於 CMOS 製程作射頻晶片整合 [2]。本文之射頻前端電路包括低雜音放大器與混頻器，其中低雜音放大器使用疊接式架構，採單端輸入／變壓器耦合雙端輸出模式，混頻器則為雙平衡式電阻性架構，並



圖一：5.8 GHz ETC 射頻傳收機架構

利用 FET 基底與源極端作本地振盪輸入，此種設計兼具不需級間阻抗匹配並保有高性能之優點，模擬結果顯示轉換增益為 6.3 dB，雜音指數為 2.7 dB，輸入三階折斷點為 -11 dBm，1.2 V 供應電壓下功耗為 4.3 mW，晶片面積則為 $1.1 \times 0.66 \text{ mm}^2$ 。此電路已下線 CMOS 0.18 μm 製程，正等待晶片製作完成以量測其效能。

二、電路設計

2.1 低雜音放大器

低雜音放大器採取疊接式架構，如圖二所示，著眼於其輸入／輸出具有良好的隔離度，輸入的匹配可專力於雜音指數與增益，而輸出阻抗可獨立設計，使低雜音放大器與下一級混頻器輸入作阻抗共軛匹配，同時亦可加入帶通濾波的額外功能。

設計首先選擇共源級 FET 閘極寬度，依經驗公式 [3]

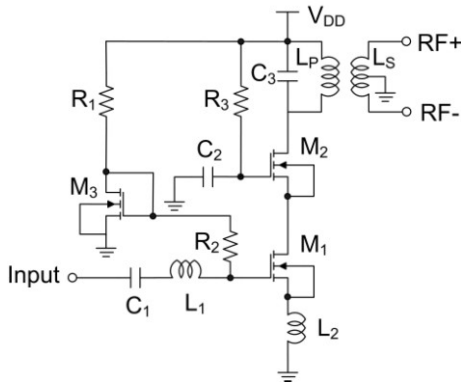
$$W = \frac{1}{3\omega L C_{ox} R_s} \quad (1)$$

其中 L 及 C_{ox} 分別為 FET 閘極之長度與單位電容量， R_s 為電源電阻，一般為 50Ω 。接下來，以源極退化電感 L_2 (Source degenerate inductor) 調整輸入阻抗為 [4]

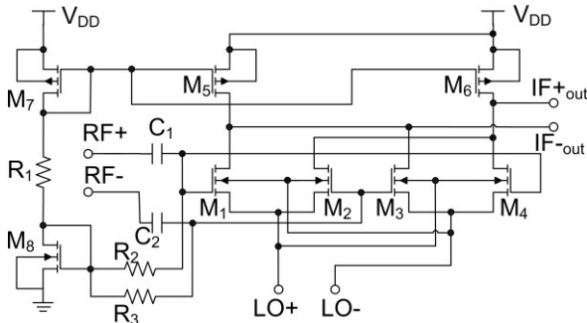
$$Z_{in} = g_m \frac{L_2}{C_{gs}} + j(\omega L_2 - \frac{1}{\omega C_{gs}}) \quad (2)$$

其中 g_m 與 C_{gs} 分別為 FET 之轉導及閘極-源極電容，將輸入電阻部分利用 L_2 調成 50Ω ，虛部再以電抗元件補償之 (一般會串以電感)，此時之最低雜音指數會較原先為高，其數式為 [3]

¹ 本研究部分由國科會贊助，計畫編號 NSC 102-2220-E-155-001 及 NSC 102-2218-E-155-001。



圖二：5.8 GHz ETC 低雜音放大器



圖三：5.8 GHz ETC 降頻混頻器

$$F_{m, L} = F_{m, n} + \omega \frac{C_{gs}}{g_m} (2.4 \frac{\gamma}{\alpha} - 2.3) \quad (3)$$

其中 γ 為通道雜音之比例常數，一般約為 2， $\alpha = g_m / g_{d0}$ ， g_{d0} 為 DS 於零偏壓時之電導，一般 α 值約在 0.85 左右。將 (3) 之 g_m / C_{gs} 近似為 ω_T ，則 (3) 可簡化為

$$F_{m, L} = F_{m, n} + 3.35 \frac{\omega}{\omega_T} \quad (4)$$

只要操作頻率較 FET 單位電流增益頻寬 ω_T 高出 10 倍以上，則增加的雜音指數不至太多。

疊接式電路共閘極輸出端部分則需考慮下一級混頻器之雙平衡結構，其信號須轉為差動型態，此處直接以一個中心抽頭的晶片變壓器同時完成直流偏壓、單端轉差動以及加入電感抗作級間阻抗共軛匹配等功能。同時可於初級線圈處並聯電容 C_3 進一步作調諧電路，達到部分帶通濾波的目的。此時汲極端所看到的負載阻抗為

$$Z_L = \left(\frac{1}{j\omega C_3} \right) \parallel \left[(r_p + j\omega L_p) + \frac{(\omega M)^2}{(r_s + j\omega L_s) + Z_{in, mixer}} \right] \quad (5)$$

其中 $r_{p/s}$, $L_{p/s}$ 為晶片變壓器初級/次級線圈之寄生電阻與自感值， M 為互感， $Z_{in, mixer}$ 為下一級混頻器之輸入阻抗，一般為電容性，適當調整自感值與並聯電容 C_3 ，可將 Z_L 調至疊接式電路共閘極輸出阻抗之共軛，達到最大信號傳輸之目的。

2.2 混頻器

降頻混頻器擬使用類似 Gilbert-cell 架構作雙平衡操作，但設計成電阻性混頻方式，以便取得較佳之雜音指數與 IP3 特性 [5]，其偏壓方式以電流源方式完成之，並以基底/源極兩端注入本地振盪信號，以便利用基底信號驅動方式降低功耗 [6]-[7]，同時壓低本地振盪所需功率。

電路架構如圖三所示， $M_1 \sim M_4$ 為混頻器核心， M_5 與 M_6 為主動式負載， $M_1 \sim M_6$ 之偏壓由 M_7/M_8 所形成之電流源所提供， C_1 與 C_2 為直流阻隔電容，最後之中頻輸出由 M_1/M_3 與 M_2/M_4 之汲極端取出。

本地振盪之差動輸入連接至 FET 基底與源極端，使其臨界電壓 V_i 受到改變如下式

$$V_i = V_{i0} + \gamma [\sqrt{2\phi_F - v_{LO}(t)} - \sqrt{2\phi_F}] \quad (6)$$

若我們將 $M_1 \sim M_4$ 設計操作在三極管區，則其汲極-源極電導為

$$g_{DS} = k'_n \frac{W}{L} [v_{GS} - V_i(v_{LO})] \quad (7)$$

將閘極直流偏壓在接近臨界電壓處，則本地振盪信號驅使 FET 形成一變動頻率為 f_{LO} 之時變電阻器，為簡單計，假設其電導值在 0 與 g_{ON} 兩個值之間變動，汲極-源極可視為受閘極控制之時變電阻器，其電流為

$$i_D(t) = g_{DS}(t) \cdot v_{GS}(t) = \frac{\pi}{4} g_{ON} [\cos \omega_{LO} t - \frac{1}{3} \cos 3\omega_{LO} t + \dots] \cdot v_{GS}(t) \quad (8)$$

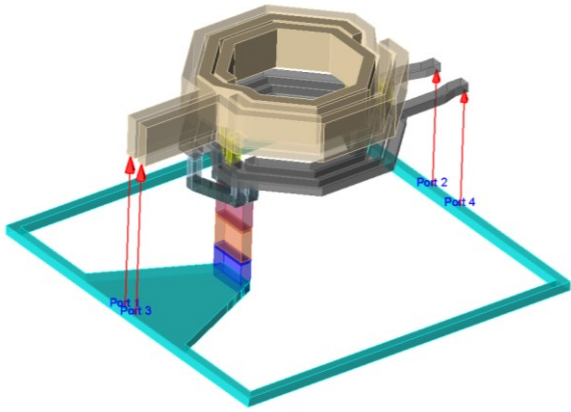
而射頻信號施加在閘極端，故汲極電流即含有混頻項，雙平衡架構則可消除掉一些雜波，尤其是偶次雜波可完全被消除掉，讓三埠之間的隔離度效果更好。須注意的是，本地振盪信號注入基底/源極兩端，當臨界電壓 V_i 變小時，FET 源極端的電壓也變低，促使 v_{GS} 值更大，換句話說，不須多大的本地振盪信號即可使 FET 操作於兩個差異很大的電導值之間，從而降低整個系統所需之本地振盪信號功率。

三、 模擬與量測結果

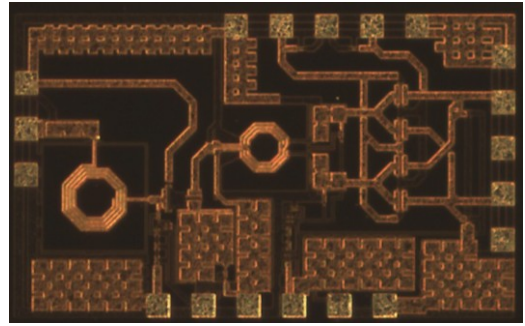
3.1 晶片變壓器

晶片變壓器對整體電路性能有絕對的影響，故對其設計/模擬須特別仔細，為使耦合係數盡量提高，採用 stacked winding [8] 方式，圖四為其三維結構圖，共計三圈，圈數比 1:1，並以中心抽頭接地方方式作單端轉差動信號功能，使用 Agilent Momentum [9] 作電磁模擬，得四埠 S 參數後轉差動式 S 參數，並據以得到晶片變壓器自感量、自感之品質因數、耦合係數與真實圈數比等參數，這些參數對頻率掃描之模擬結果如圖五所示，自感值在 5.8 GHz 時約為 1.1 nH，兩線圈之 Q 值在 5.8 GHz 分別為 6.9 與 2.7，耦合係數為 0.82，圈數比為 1.02。

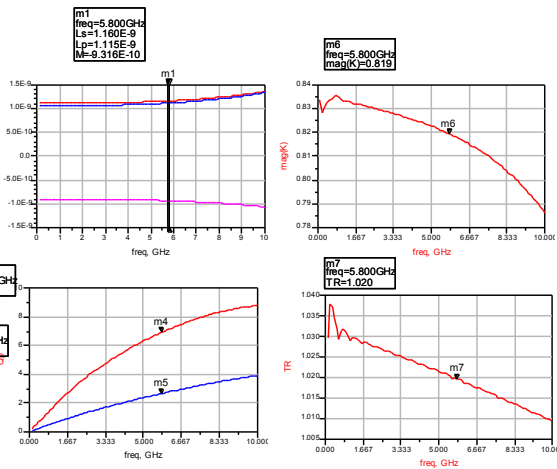
作整體電路模擬時，可將電磁模擬四埠 S 參數直接代入，直流特性部分則以並接理想之射頻週流圈模擬之。



圖四：晶片變壓器三維結構圖



圖六：射頻前端電路晶片照片



圖五：晶片變壓器模擬結果

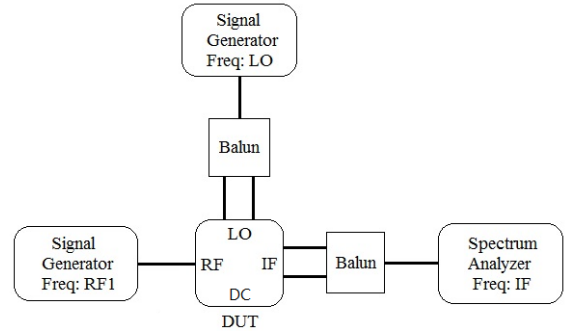
3.2 整體電路性能

在整體電路性能的部份，使用 Agilent ADS 及 Momentum [9]來完成電路模擬設計，其中使用 TSMC RF CMOS 018 μm 的模型進行 Pre-layout 模擬，並考量整體晶片走線，加入 Post-layout 模擬，以及模型化的 RF 測試接點效應。在小訊號模擬方面，會觀察轉換增益 (Conversion Gain)、雜訊指數 (NF)、輸入反射係數，在大訊號模擬方面，會觀察輸入三階折斷點 (IIP3) 的表現。模擬中電源電壓設定為 1.2 V，本地振盪之功率設為 -5 dBm 。

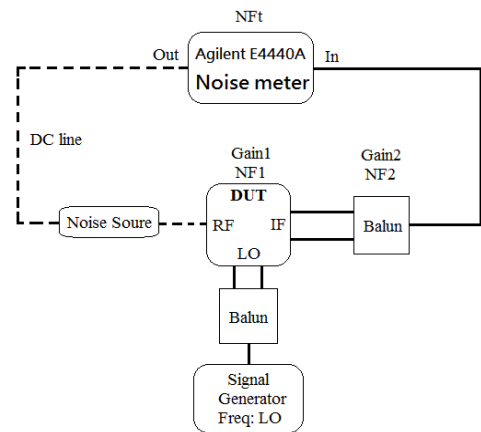
模擬結果顯示，在射頻信號為 5.8 GHz，中頻信號為 2.0 GHz 時之轉換增益可達 6.3 dB，雜訊指數約為 2.7 dB，輸入反射在操作頻段內皆可小於 -10 dB ，整體電路功耗約 4.3 mW，Pre-sim 與 Post-sim 兩者差異不大，整個射頻前端電路應可滿足微波電子收費系統之需求。

3.3 晶片佈線與應用/測試考量

此射頻前端電路之晶片如圖六所示，面積為 $1.1 \times 0.66 \text{ mm}^2$ ，晶片左端為射頻輸入，右端中頻輸出，上方為本地振盪差動式輸入，下方為直流電源與控制信號端，本晶片採晶圓探針直接於完成之晶片上進行量測，除了雜訊指數，其餘所有參數之量測架構如圖七所示，射頻輸入端之探針使用標準 $100 \mu\text{m}$ 間距之 G-S-G 配



圖七：射頻前端電路一般參數量測架構



圖八：射頻前端電路雜訊指數量測架構

置，本地振盪與中頻之探針使用 $100 \mu\text{m}$ 間距 G-S-G-S-G 配置，直流探針亦為 $100 \mu\text{m}$ 間距，為 P-G-P-P-G-P 型式。LO 與 IF 端使用外掛 Balun 提供差動信號，Balun 使用 Picosecond 之 Model 5100 Inverting Transformer，操作頻率 200 kHz 至 23 GHz，在 2 GHz 約有 6 dB 左右的損耗。RF 與 LO 端使用類比信號產生器提供量測輸入信號 (Agilent 之 E8257D PSG Analog Signal Generator, 250 kHz ~ 67 GHz)，IF 端使用頻譜分析儀觀察輸出頻譜 (Agilent E4440A PSA Series Spectrum Analyzer, 3 Hz ~ 26.5 GHz)。雜訊指數量測架構如圖八所示，一樣使用 Agilent E4440A，因使用外掛 Balun，故量測到的雜訊指數為待測物加上輸出 Balun 之結果，但可校正掉輸入虛線傳輸線的損耗。所有電路特性皆於奈米元件實驗室 (NDL) 高頻技術中心進行量測。

3.4 模擬與量測資料比較

圖九(a)為 RF 頻率對轉換增益之掃描圖，此時 RF 掃描的頻率為 5 GHz 至 7 GHz，LO 掃描頻率為 2.92 GHz 至 4.93 GHz，得到固定的 IF 頻率為 2.07 GHz。圖九(b)為雜訊指數之模擬與量測結果，此時固定 LO 頻率為 3.72 GHz，RF 掃描的頻率為 5.12 GHz 至 6.72 GHz，得到 IF 頻率為 1 GHz 至 3 GHz，圖九(c)為輸入端反射係數 S11 之模擬與量測結果，表 I 為量測與模擬比較總表，若加回 Balun 的損耗，則轉換增益差別不大，雜訊指數則有偏高的現象。

結論

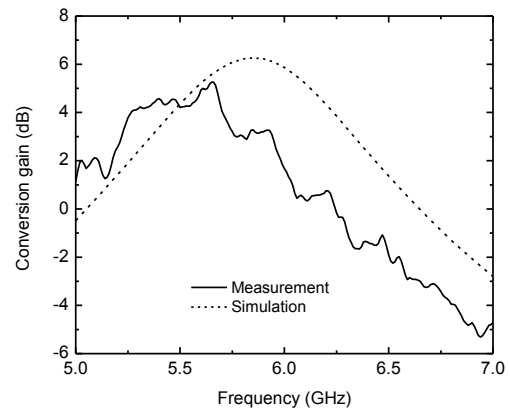
本文敘述應用於微波電子收費系統之 5.8 GHz 射頻接收電路，利用 0.18 μm CMOS 製程完成之，低雜音電路以疊接式組態完成，混頻器則採電阻式雙平衡架構，配合基底/源極本地振盪信號注入方式，可降低信號功率需求，模擬結果顯示在中頻為 2 GHz 其雜音指數為 2.7 dB，轉換增益為 6.3 dB，輸入三階折斷點為 -11 dBm，1.2 V 供應電壓下功耗為 4.3 mW，晶片面積則為 $1.1 \times 0.66 \text{ mm}^2$ ，此射頻射頻接收電路已下線 0.18 μm CMOS 製程，待電路完成後即可測試驗證其結果，並應用至微波電子收費系統中。

致謝

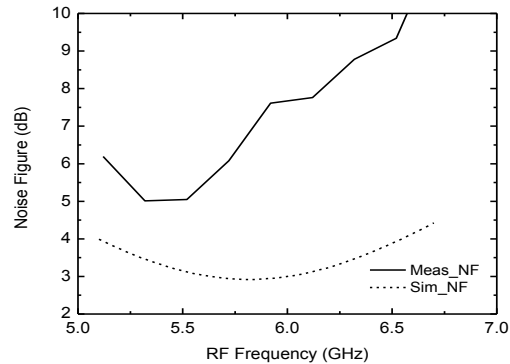
本文作者感謝晶片系統設計中心協助下線台積電製程以及奈米元件實驗室高頻技術中心的量測設備支援。

參考文獻

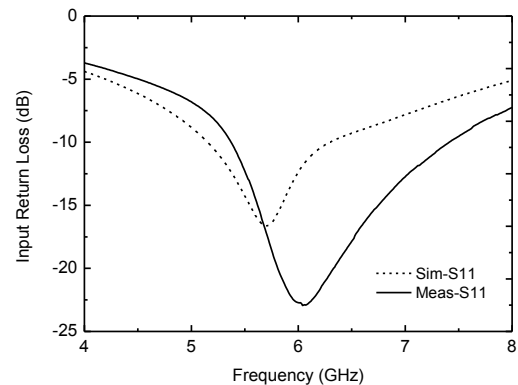
- [1] 中華民國國家標準, "電子收費【微波專用短距通訊】產業標準(草案)-實體層," 2010.
- [2] 古長麟、陳家愷、黃志文、黃建彰, "應用於雙模式微波電子收費系統之射頻晶片系統設計," 全國電信研討會, 彰化, 2012.
- [3] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd Edition, Cambridge Univ. Press, 2004.
- [4] S. Asgaran, M. J. Deen, and C.-H. Chen, "Design of the input matching network of RF CMOS LNAs for low-power operation" *IEEE Trans Circuit & Systems I: Regular Papers*, vol. 54, no. 3, pp.544-554, Mar. 2007.
- [5] S. A. Maas, "A GaAs MESFET mixer with very low intermodulation," *IEEE Trans. Microwave Theory Tech.*, vol. 35, no. 4, pp. 425-429, Apr. 1987.
- [6] K.-H. Liang, H.-Y. Chang, and Y.-J. Chan, "A 0.5 -7.5 GHz ultra low-voltage low-power mixer using bulk-injection method by 0.18 μm CMOS technology," *IEEE Microwave Wireless Compon. Lett.*, vol. 17, no. 7, pp. 531-533, July 2007.
- [7] C.-L. Kuo, B.-J. Huang, C.-C. Kuo, K.-Y. Lin, and H. Wang, "A 10-35 GHz low power bulk-driven mixer using 0.13 μm CMOS process," *IEEE Microwave Wireless Compon. Lett.*, vol. 18, no. 7, pp. 455-457, July 2008.
- [8] D. J. Allstot, C. T. Charles, S. Kodali, X. Li, D. Ozis, J. Paramesh, S. Shekhar, and J. S. Walling, "CMOS integrated transformers: coming of age," in *Proc. 8th Int. Conf. Solid-State & Integrated Circuit Tech.*, 2006.
- [9] Advanced Design System, Agilent Technologies, Palo Alto, CA, USA.



(a)



(b)



(c)

圖九：射頻前端電路模擬與量測結果 (a)轉換增益 (b)雜訊指數 (c)輸入反射係數，其中虛線代表模擬結果，實線代表量測結果。

表 I
射頻前端電路預計規格、模擬與量測結果

| Parameter | Specification | Simulation | Measurement |
|------------------------------|---------------|------------|-------------|
| Frequency (GHz) | 5.8 | 5.8 | 5.8 |
| Noise figure (dB) | < 4 | 2.8 | 6.1 |
| Conversion gain (dB) | > 5 | 6.3 | 3.9 |
| S ₁₁ (dB) | < -10 | -15 | -20 |
| DC power (mW) | < 5 | 4.3 | 5 |
| IIP3 (dBm) | > -15 | -12 | -12 |
| Chip Size (mm ²) | < 1.2x0.7 | | 1.1x0.66 |