

# Investigation of InGaZnO Thin Film Transistors Using Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub>/Ta<sub>2</sub>O<sub>5</sub> Stacked Gate Dielectrics and Application on Optical Sensor

Shih-Chang Shei<sup>1,\*</sup>, Yichu Wang<sup>2,\*</sup>

<sup>1,2</sup>Department of Electrical Engineering, National University of Tainan

<sup>1</sup>\*E-mail : scshei@mail.nutn.edu.tw

<sup>2</sup>\*Email : yichuwang1@gmail.com

## Abstract

Amorphous gallium zinc oxide (a-IGZO) is a target metal oxide material that has attracted attention recently. It has the advantages of amorphous silicon and polycrystalline silicon on common displays, with high electron mobility, best uniformity, and low cost of the process. When TFT is applied to a large-size and high-resolution display, the switching time allocated to each transistor becomes less, and the research and improvement of the electrical properties of the transistor are more likely to be important.

In this study, we explored the feasibility of applying transistor technology to indium gallium zinc oxide thin-film transistors using stacked gate dielectric layers of different high-k materials. The electrical results show that the gate dielectric layer of the Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> stacked structure has better characteristics of the transistor than the single-layer gate dielectric layer. The Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> stacked structure could increase the driving current by 40%, and improve gate capacitance value, carrier mobility, and Ion/Ioff ratio. Such stacked dielectric structure have different oxygen density among dielectric layers, which will form Dipole[14], attract electrons in the channel layer, so that the stacked structure has a larger driving current and mobility compared with the single-layer gate dielectric layer. Based on the study, the stacked structure dielectric layer is currently widely used in semiconductor factories and is fully compatible with the existing integrated circuit process technology, making the stacked gate dielectric layer have the potential to be used in high-performance transistor technology and become the next generation of transistors. Forward-looking technology.

In the second part of this research, we conducted indium gallium zinc oxide thin film transistors under different wavelengths of light. After studying the photoreaction, it is found that it has photosensitivity and is obviously dependent on the wavelength of light. It shows that indium gallium zinc oxide thin film transistors are not only used in switching elements, but also in photo-detectors. The application also has potential.

**Keywords:** indium gallium zinc oxide, carrier mobility, dielectric layer, critical voltage.

---

\* Corresponding author: scshei@mail.nutn.edu.tw

DOI : 10.53106/222344892023041301002

## Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub>/Ta<sub>2</sub>O<sub>5</sub>堆疊閘極介電層於 InGaZnO 薄膜電晶體之研究及其在光感測的應用

許世昌 王一竹

國立臺南大學電機工程系

### 摘要

非晶氧化銦鎵鋅(a-IGZO)是近期受矚目的金屬氧化物材料，普遍應用於顯示器上，具有非晶矽與多晶矽的優點，有高的電子遷移率、較佳的均勻度、較低的製程成本與可在室溫下製程，當 TFT 應用在大尺寸高解析的顯示器上時，每個電晶體所分配到開關時間變少，電晶體電性的研究及改善也越顯得重要。

在本研究中，我們對氧化銦鎵鋅薄膜電晶體在以不同高介電材質之堆疊結構閘極介電層探討其應用電晶體技術之可行性。從電性結果顯示，採用 Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 堆疊結構閘極介電層的電晶體與單層閘極介電層的元件相較之下有較好的電晶體元件特性，堆疊結構閘極介電層增加 40% 的驅動電流，改善閘極電容值，提高載子遷移率，增強 Ion/Ioff ratio，有更小的臨界電壓與臨界擺幅(S.S.)，堆疊結構氧化銦鎵鋅薄膜電晶體飽和電流、載子遷移率、臨界電壓、次臨界斜率、電流開關比分別為  $1.4 \times 10^{-4} \mu A$ 、 $109 \text{ cm}^2/Vs$ 、 $0.4V$ 、 $0.38V/dec$ 、 $2.76 \times 10^6$ ，堆疊結構閘極介電層中的材料有較高的介電常數，因此堆疊結構閘極電容的改善確實也是電流驅動能力提升的原因，並且介電層間會因氧密度的差異性形成 Diopole[14]，在通道層吸引電子，使得堆疊結構閘極介電層的電晶體電流與單層閘極介電層的元件相較之下，有較大的驅動電流和電子電洞載子遷移率的增加，並且降低臨界電壓，從電性結果顯示，堆疊結構介電層比單層介電層元件有更好的電特性，基於前述的優異電性表現與製程相容性，此堆疊結構閘極介電層目前普遍使用於半導體廠且完全相容於現有的積體電路製程技術，使得堆疊結構閘極介電層具有應用於高效能電晶體技術的潛力，成為應用於下一代電晶體之前瞻技術。

使用氧化銦鎵鋅做為主動層材料具有多項優點且為寬能隙的材料，適合應用於透明顯示器，本研究中第二部份，我們對氧化銦鎵鋅薄膜電晶體在不同波長光照下進行了光反應之研究，發現其具有光敏特性且與光波長及元件之操作模式有明顯的相依性，顯示出氧化銦鎵鋅薄膜電晶體除了應用在開關元件上，在光感偵測器上的應用也具潛力。

關鍵詞：氧化銦鎵鋅、載子遷移率、介電層、臨界電壓。

## 1. 緒論

隨著科技的日新月異、製造技術的進步，人們在生活上對於顯示器的要求日益增加，從最早期的映像管顯示器(CRT)、液晶顯示器(LCD)、到現在的智慧型手機(Smart Phone)、平板(Pad)、可撓式顯示器(Flexible Display)等(圖.1-1)，在這些高階顯示器中，大多是以主動式陣列 LCD(Active-Matrix liquid crystal Display)為主，控制每個子畫素的辦法就是每個畫素都分配一個獨立的薄膜電晶體(Thin Film Transistor)來控制它。(圖 1-1)在主動式陣列液晶顯示器中，薄膜電晶體在顯示器中擔任的是每個子畫素的開關的角色，利用其切換特性使畫素電容和儲存電容充放電，而輸入電容的電壓大小會影響液晶旋轉角度，讓入射光打入液晶時通過的光不同而產生不同的亮暗變化，進而達到不同灰階顯示的效果，再藉由彩色濾光片(color filter)來達到彩色顯示的效果(圖 1-2)；隨著顯示器的進步，其畫素越多所需的載子遷移率也要求更高(圖 1-3)。在同尺寸的面板下，解析度愈高畫素相對愈多，為了維持固定的畫面更新率(Frame rate)，畫素愈多的顯示器需要的載子遷移率也愈高，才能夠維持畫面更新率，才會使人眼認為畫面是連續的。



圖 1-1 薄膜電晶體應用

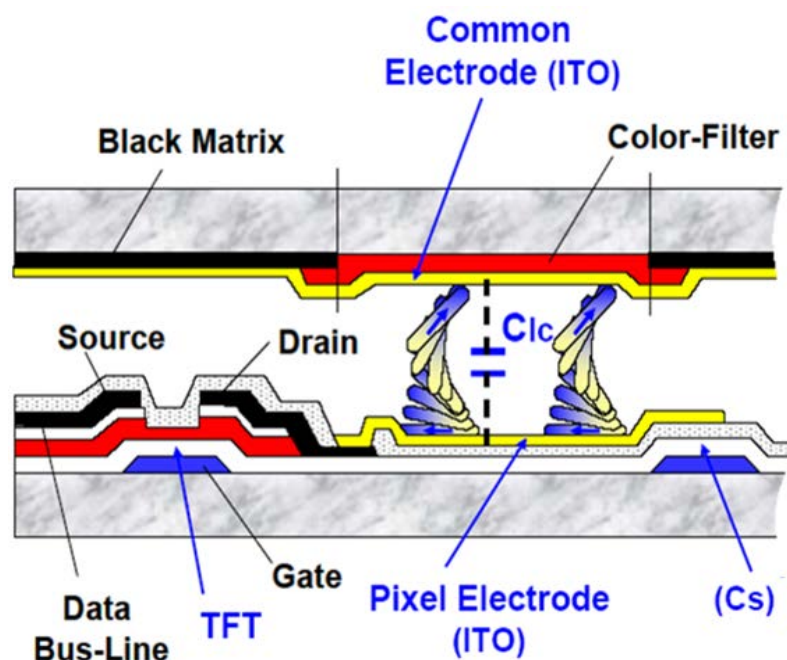


圖 1-2 液晶顯示器操作示意圖

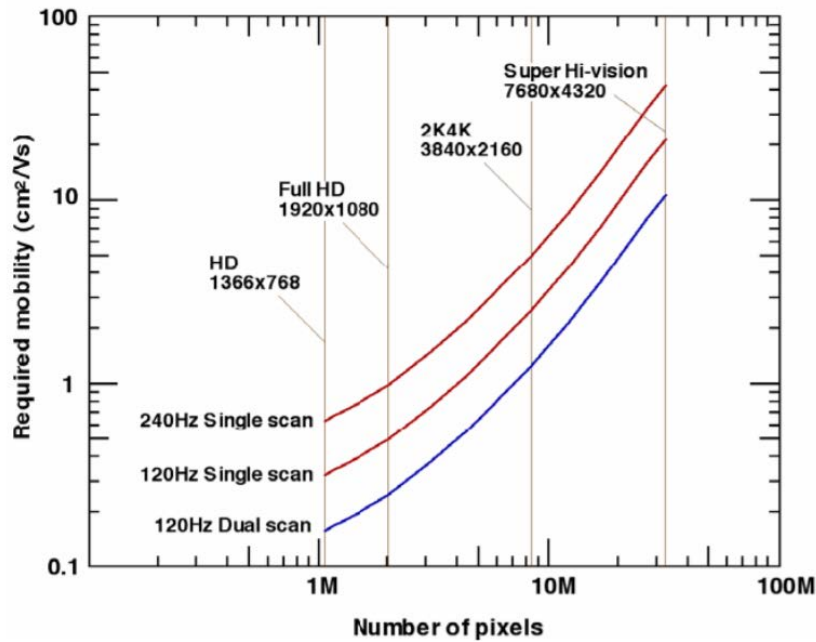


圖 1-3 顯示器在不同畫素下所對應的載子遷移率[4]

在傳統電晶體主動層材料的使用上主要還是以非晶矽(Amorphous Silicon, a-Si)和低溫多晶矽(Low Temperature Poly Si, LTPS)為主，但隨著顯示器對電晶體反應速度的要求越來越高，a-Si 已無法滿足現在的需求，而其原因在本節後面我們會再詳細討論。為了解決目前應用於顯示器的電晶體反應速度的問題，近來年以金屬氧化物半導體作為主動層的電晶體陸續被一些文獻上廣為研究。金屬氧化物半導體被作為主動層的主要因為它具有和 a-Si 一樣的均勻性且因為在製程上和 a-Si 相差甚少(圖.1-4)，所以以現有製程便可以大量製作，而且和 a-Si 相比，金屬氧化物半導體擁有更高的載子遷移率(Mobility)，如此便可以滿足進階顯示器對電晶體反應速度的要求，LTPS 因為在晶態和晶態之間有晶界的問題(圖.1-5)使得 LTPS 的均勻度不是很好，且在製程上，LTPS 也比金屬氧化物半導體要多了幾道光罩(Mask)和需要雷射退火(Laser annealing)的關係，在生產成本上又高了不少，所以選用金屬氧化物半導體作為主動層是現在應用於顯示的電晶體的一項趨勢。

	a-Si	Oxide-TFT	LTPS
使用材料層	a-Si	IGZO	Poly-Si
均一性	佳	佳	不良
電子遷移速度	1cm <sup>2</sup> /Vs	10-100cm <sup>2</sup> /Vs	100cm <sup>2</sup> /Vs
TFT for OLED	4~5	4~5	5~11
畫素電路設計	單純	單純	複雜
費用	低	低	高
良率	高	高	低

圖 1-4 主動層材料比較

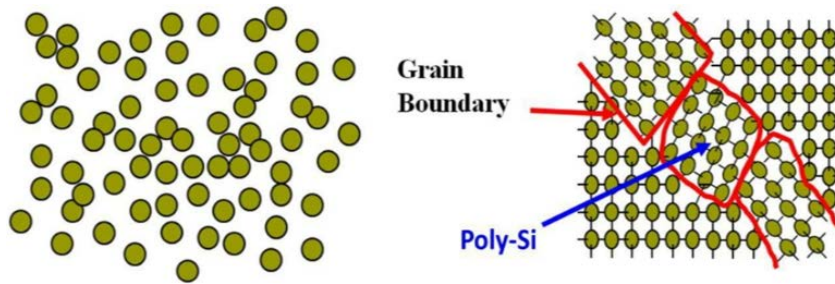


圖 1-5 非晶態和多晶態原子排列結構的比較

	InGaZnO	Si
Crystalline phase	<b>Ionic bonding</b>  Oxygen 2p-orbital Metal ns-orbital $\sim 80\text{ eV}$	<b>Covalent bonding</b>  sp <sup>3</sup> -orbital $\sim 1000\text{ eV}$
Amorphous phase	<b>Insensitive to disordering</b>  $10\sim 20\text{ eV}$	<b>Sensitive to disordering</b>  $1\text{ eV}$

H. Hosono et al., *J. Non-Crystalline Solids* 203, 334 (1996).

圖 1-6 Silicon 和 Metal Oxide 在非晶和單晶態時的原子排列結構之傳導機制

前一段所講述的金屬氧化物的載子遷移率較高的原因，詳細可由他們的載子傳導機制不同來解釋(圖.1-6)[1]，圖中左邊的是傳統的 Si 晶態與非晶態鍵結方式，而右邊的則是金屬氧化物半導體，可以看到 Si 載子傳輸藉由的是 Sp<sup>3</sup> 混成軌域，它具有方向性，所以在非晶態時軌域重疊不佳，因此載子遷移率也非常低。另一方面，金屬氧化物半導體的載子傳導則是藉由金屬的 S 球形軌域，它不具方向性，在非晶態的時候也有不錯的重疊性，這就是金屬氧化物半導體為何在非晶態也有不錯的 mobility 的原因。在如此眾多的金屬氧化物半導體中，為何我們選擇非晶態氧化銦鎵鋅(amorphous InGaZnO, a-IGZO)來做為主動層的材料呢?這是因為做為基底的氧化鋅(ZnO)是一種寬能隙(Band Gap)的材料，在可見光的波長範圍中有高透明度，可增加畫素的開口率。而摻入銦(In<sup>2+</sup>)則是因為鋅的外層電子軌域為 4s 軌域，銦則是 5s 軌域，可有效增加在非晶態時的電子雲重疊機率，進而提升載子濃度和電子遷移率。在提升了載子濃度之後，為了控制載子濃度不要過多使得元件呈現自然導通(normally on)的情況，會再摻入鎵(Ga<sup>2+</sup>)，鎵對氧的鍵結能力較好，可有效抑制氧空缺的產生，避免載子濃度過高。除了上述控制載子濃度的原因外，因為氧化鋅結晶溫度低，是比較呈現晶態的材料，摻入銦之後使得整體的結晶溫度又更低更容易呈現結晶態，此時摻入鎵會提高結晶溫度，使整體較容易呈現為非晶態的形式。在目前的製程方面，In:Ga:Zn:O=1:1:1:1 的元素組成結構是比較常見的，因為它在穩定性和製成元件後的載子遷移率都是比其他組成的元件要來的好。由於上述多種原因，氧化銦鎵鋅在目前應用於顯示器的薄膜電晶體方面，是一種相當具有潛力的材料。

根據上敘所提及薄膜電晶體的種類中可以發現，以金屬氧化物半導體作為通道層的薄膜電晶體同時兼具非晶矽之高均勻性以及多晶矽之高載子遷移率的優點，因此本實驗採用非晶銻鎵鋅氧化物(Amorphous Indium Gallium Zinc Oxide,  $\alpha$ -IGZO)當作薄膜電晶體通道層的材料。銻鎵鋅氧化物半導體是以氧化鋅為基底，具有寬能隙(>3.3eV)，在可見光範圍下具有高透明度，因此相較於其他半導體材料，IGZO在薄膜電晶體的應用上可增加畫素開口率，雖然一般認為高透明度及高載子傳輸能力是無法兼具的，因為大能隙差距造成電子從價電帶躍遷到導電帶變得十分不易，但 $\alpha$ -IGZO是利用金屬的S軌域與氧空缺之2P軌域中跳躍的方式傳遞電子而非能帶躍遷[2]，這獨特的電子傳遞方式使得其同時具備高透明度與高電子傳遞能力。基於以上因素可知，不同厚度的非晶銻鎵鋅氧化物半導體的缺陷密度亦會不同，進而影響到薄膜中載子的多寡，為了探討上述變化造成電晶體特性的影響，必須先了解材料特性，因此本實驗主要分為兩個部分，第一部分為IGZO薄膜特性的研究，探討單層和堆疊結構閘極絕緣層對電晶體電性的影響，第二部分為探討電晶體於施加偏壓下的元件在不同波段的光照下之光電特性，藉由分析以上變化我們將提出可信的物理機制並給予合理的解釋。

為了要提升閘極介電材質的介電常數，本研究提出以三種常見的高介電材質Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>堆疊而成的前瞻閘極介電層結構，評估其應用於電晶體的可行性。本研究與傳統的單層Al<sub>2</sub>O<sub>3</sub>閘極介電層相較之下，Ta<sub>2</sub>O<sub>5</sub>、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>堆疊結構閘極介電層大幅地改善了電晶體驅動電流40%，提高載子遷移率33%，改善閘極電容值，增強Ion/Ioff ratio，有更小的臨界電壓與臨界擺幅(S.S.)，堆疊結構介電層比單層介電層Al<sub>2</sub>O<sub>3</sub>元件有更好的電特性，此堆疊結構閘極介電層目前普遍使用於半導體廠且完全相容於現有的積體電路製程技術，使得堆疊結構閘極介電層具有應用於高效能電晶體技術的潛力，成為應用於下一代電晶體之前瞻技術。

## 2. 研究方法

本實驗主要分成兩個部分進行：第一部分為氧化銻鎵鋅薄膜的分析及其電晶體的製程與電性量測，電晶體不同介電層堆疊示意圖如表1-1，電晶體濺鍍製程參數如表1-2，實驗流程圖如圖2-1所示。在第二部份實驗，我們將Al<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>堆疊結構氧化銻鎵鋅薄膜電晶體在不同波長光照下進行了光反應之研究，利用UV、綠、藍三種不同的波長照射電晶體，如圖2-2所示。探討是否當氧化銻鎵鋅薄膜電晶體吸收紫外光會產生電子電洞解離，電性會有所改變，觀察電性的變化以達到做為光感測的目的。首先，我們使用射頻磁控濺鍍(RF Magnetron Sputtering)沉積通道層所要使用的銻鎵鋅氧化物(IGZO)做材料分析後，接著開始進行薄膜電晶體製作。本實驗製作的薄膜電晶體為下閘極結構，我們使用金屬光罩定義薄膜電晶體各層形狀，並使用熱蒸鍍機蒸鍍鋁70nm做為閘極，並使用射頻磁控濺鍍分別沉積Al<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub> 200nm做為絕緣層，接著用射頻磁控濺鍍沉積IGZO堆疊50nm的通道層，最後在使用熱蒸鍍機蒸鍍鋁70nm做為汲極、源極，電晶體各層堆疊。

		Device A	Device B	Device C
Insulate layer	Material / Thickness	Al <sub>2</sub> O <sub>3</sub> / 200 nm	Al <sub>2</sub> O <sub>3</sub> 、HfO <sub>2</sub> / 200 nm	Al <sub>2</sub> O <sub>3</sub> 、HfO <sub>2</sub> 、Ta <sub>2</sub> O <sub>5</sub> / 200 nm
	Sputtering gas (Ar : O <sub>2</sub> )	30:5 sccm		
Channel layer	Material / Thickness	IGZO / 50 nm		
	length(L) / width(W)	4 mm / 3 mm		
Gate、Drain、Source	Material / Thickness	Al / 70 nm		

表 1-1 不同介電層的電晶體

Parameters	Values
Base pressure (Torr)	$8 \times 10^{-6}$
Working pressure (mTorr)	10
Sputtering temperature (°C)	Room temperature
Ar : O <sub>2</sub> (sccm)	30:5 (Al <sub>2</sub> O <sub>3</sub> 、HfO <sub>2</sub> 、Ta <sub>2</sub> O <sub>5</sub> )、95:5 (IGZO)
RF power (W)	100 W (Al <sub>2</sub> O <sub>3</sub> 、HfO <sub>2</sub> 、Ta <sub>2</sub> O <sub>5</sub> )、70 W(IGZO)
Deposition rate (nm/min)	1.8、1.82、1.172、4.27

表 1-2 濺鍍製程參數

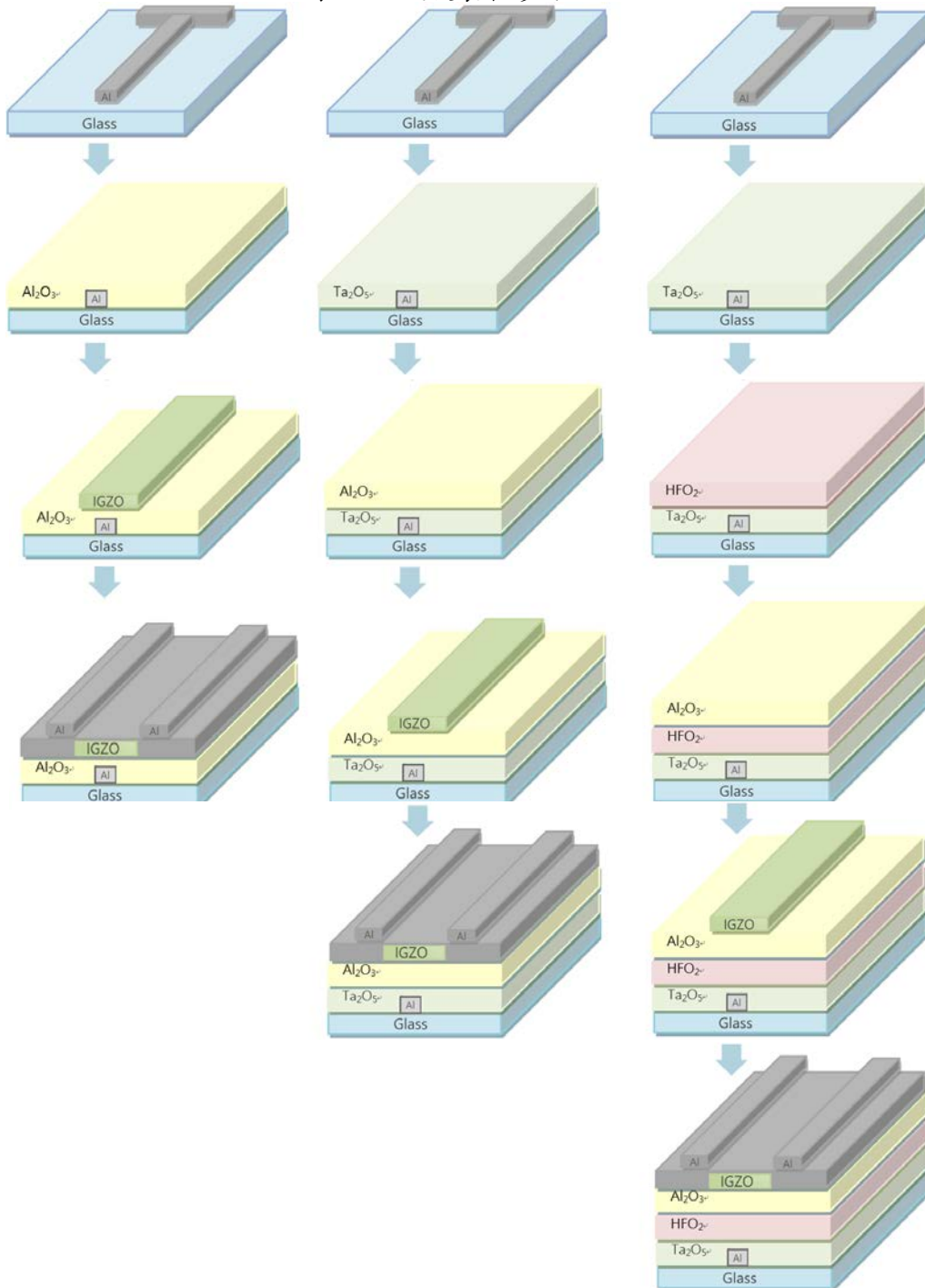


圖 2-1 IGZO 薄膜電晶體各層堆疊示意圖

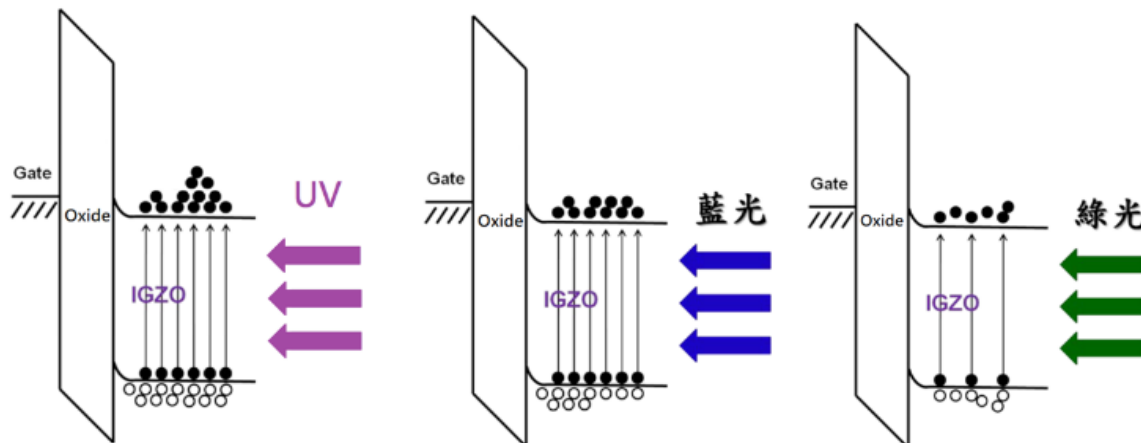


圖 2-2 UV、綠、藍三種不同的波長照射電晶體示意圖

### 3. 結論與未來展望

#### 3-1 XRD 分析

圖 3-1 中顯示不同介電層對於氧化鋅鋁薄膜的 XRD 圖譜，並未發現任何明顯的峰值(peak)，這個結果表明了實驗中所製作的氧化鋅鋁薄膜均為非晶態結構。非晶薄膜是具有包含大面積的均勻性、光滑的表面、低介面態密度以及非化學計量缺陷等優點。

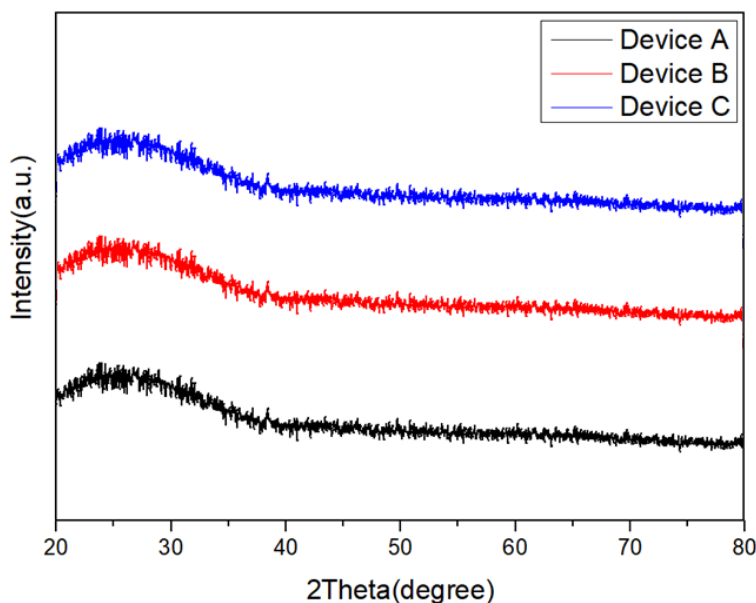


圖 3-1 XRD 結果

#### 3-2 PL 分析

圖 3-2 中顯示了 IGZO 的 PL 結果，此測量是在室溫下使用 325nm 的 He-Cd 鐳射激光作為激發源以獲得我們所需之數據。目前 IGZO 已被發現的激發帶(emission band)有主要下列幾種：紫外光區(UV emission)、綠光區(green emission)。量測到 IGZO 的 Band-edge 位置附近所產生的波長大約為 357nm，並可以藉由此值換算出能階(Band-Gap)能量約為 3.4eV，故 UV 紫外光(UV emission) 在波長 357nm 是屬於材料本身的特性，由於 IGZO 所製成的主動層為非晶態結構(Amorphous Phase)，因此 PL 所產生的強度(Intensity)訊號不明顯。圖中我們可以看到在紫外光區 405 nm(3.06eV)處有峰值(peak)，這些缺陷主要歸因於中性鋅空缺(neutral zinc

vacancy)和二價鋅空缺(divalent zinc vacancy)[3]，紫色光的發射會與鋅缺陷(zinc vacancy)有關，然而在綠光區的540nm處左右有一個明顯的峰值[4][5]，這個峰值被認為是氧缺陷的空缺原因，這些缺陷是因為靠近導帶的離域電子和氧空缺(Oxygen vacancy)裡的電洞缺陷輻射複合[6]，此缺陷會隨著氧氣的增加使得峰值逐漸減少，對應了綠光540nm處峰值的強度與氧空缺成正比。波包在PL量測中出現是由於缺陷影響光子所釋放的波長，半導體材料若是受到外來光源的激發吸收光子產生電子電洞對(electron-hole pairs)，而電子電洞對可以分別存在於價電帶、傳導帶或是被雜質能階捕捉，最後電子電洞對可能以熱的方式釋放能量，或是以輻射複合(radiative recombination)的方式放出光子。材料能隙內有缺陷能階存在，則導帶電子跳下時可能被缺陷捕捉，再釋放於價電帶中。因而相對於電子直接從導帶跳至價電帶所放出的波長而言，電子經由能階缺陷而產生波長，會出現於較長波段區域。此情況使得缺陷能階的分佈，影響到光子所釋放出的波長以波包的型態出現在PL量測中長波段的範圍，如圖3-3。

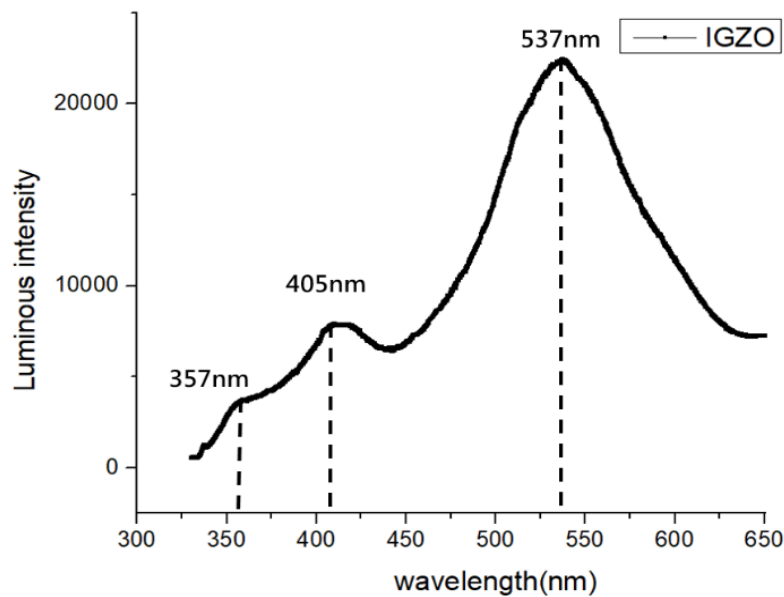


圖 3-2 PL結果

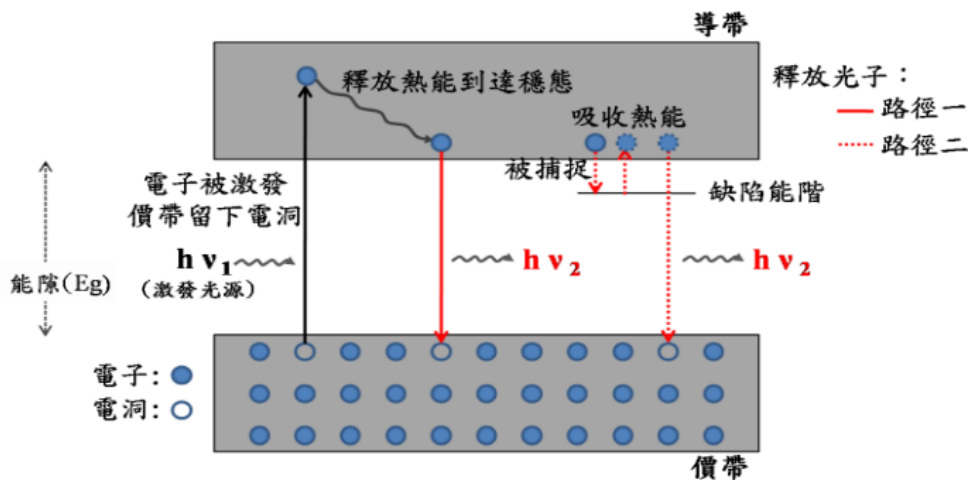
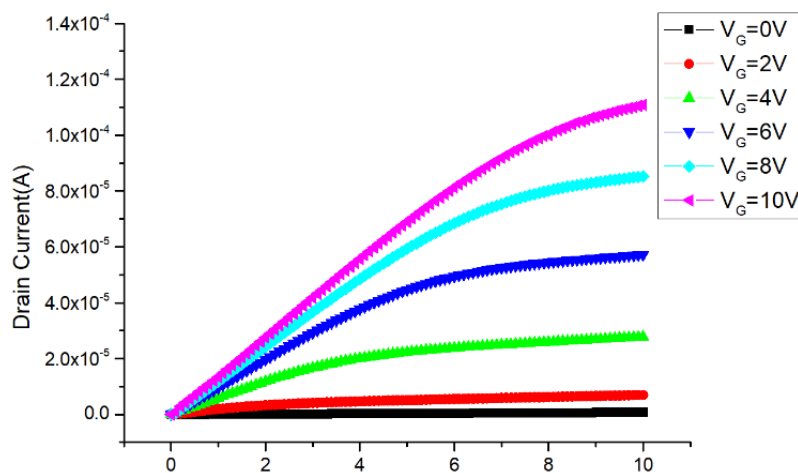
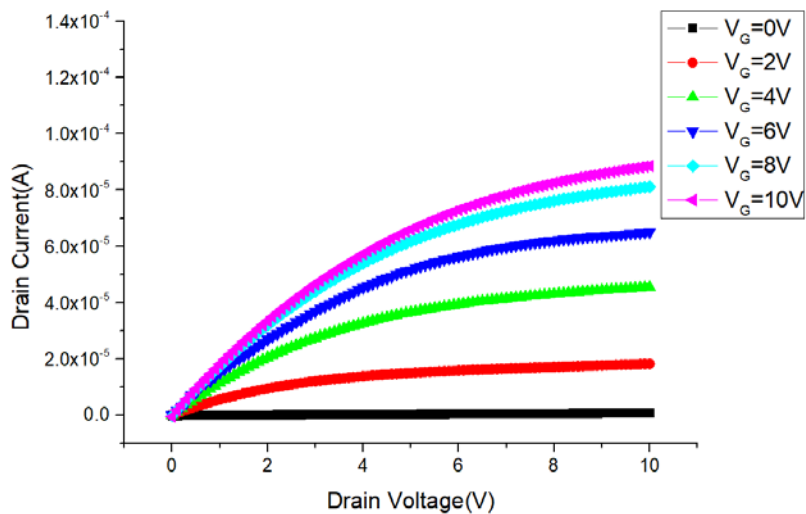


圖 3-3 PL 能帶傳導分析圖

### 3-3 不同介電層堆積結構薄膜電晶體之電特性量測

圖 3-4(A)、3-4(B)、3-4(C)為 N 型電晶體分別為單層介電層  $\text{Al}_2\text{O}_3$ ，堆疊

結構閘極介電層 Ta<sub>2</sub>O<sub>5</sub>/Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 電晶體操作在閘極電壓施加 10V 時的線性區和飽和區的 ID-VD 曲線，其中 VDS、VGS 與 ID 分別表示汲極/源極電壓、閘極/源極電壓與汲極電流。從 ID-VD 曲線可以觀察到採用堆疊結構閘極介電層的電晶體有較好的電晶體元件特性，與單層 Al<sub>2</sub>O<sub>3</sub> 閘極介電層的元件相較之下，堆疊結構閘極介電層增加 40% 的驅動電流，量測結果表顯示介電層 Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>/Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 飽和電流分別為  $8.5 \times 10^{-5}$ 、 $1.1 \times 10^{-4}$ 、 $1.4 \times 10^{-4}$ ，堆疊結構閘極介電層中的材料 Ta<sub>2</sub>O<sub>5</sub> 有較高的介電常數，因此堆疊結構閘極電容的改善確實也是電流驅動能力提升的原因，並且 Al<sub>2</sub>O<sub>3</sub> 介電層和 Ta<sub>2</sub>O<sub>5</sub> 介電層之間會因氧密度的差異性形成 Diopole, Diopole 在通道層吸引電子，使得堆疊結構閘極介電層的電晶體電流與單層 Al<sub>2</sub>O<sub>3</sub> 閘極介電層的元件相較之下，有較大的驅動電流和電子與電洞載子遷移率的增加，改善閘極電容值，提高載子遷移率，增強  $I_{on}/I_{off}$  ratio，有更小的臨界電壓與臨界擺幅(S.S.)，施加很小的閘極偏壓就能使元件的輸出電流大幅的提高，並且降低臨界電壓，從電性結果圖 3-5(A)、3-5(B)、3-5(C)顯示，介電層 Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>/Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 臨界電壓分別為 3.6V、0.6V、0.4V，堆疊結構閘極介電層比單層 Al<sub>2</sub>O<sub>3</sub> 元件有更小的臨界電壓， $I_{on}/I_{off}$  ratio 分別為  $1.81 \times 10^4$ 、 $2.72 \times 10^5$ 、 $2.74 \times 10^6$ ，S.S. 分別為 1.35V/dec、0.58V/dec、0.38V/dec，量測結果顯示堆疊結構介電層比單層介電層 Al<sub>2</sub>O<sub>3</sub> 元件有更好的電特性，基於前述的優異電性表現與製程相容性，此堆疊結構閘極介電層目前普遍使用於半導體廠且完全相容於現有的積體電路製程技術。



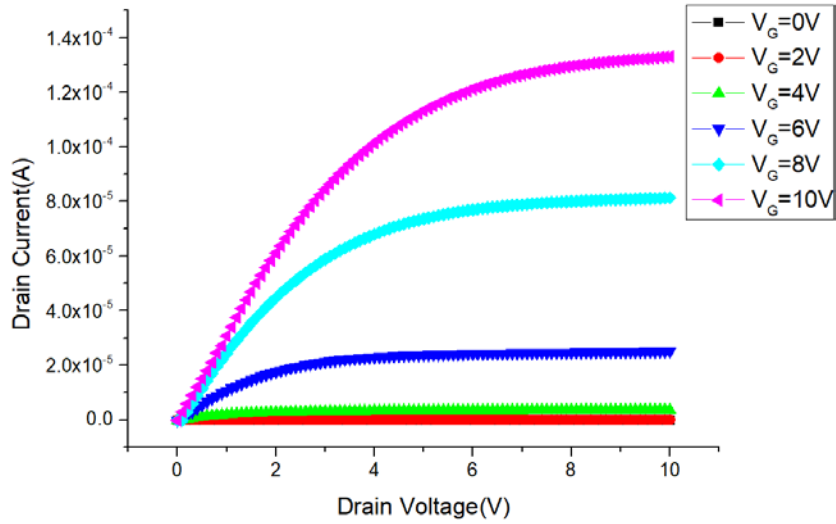
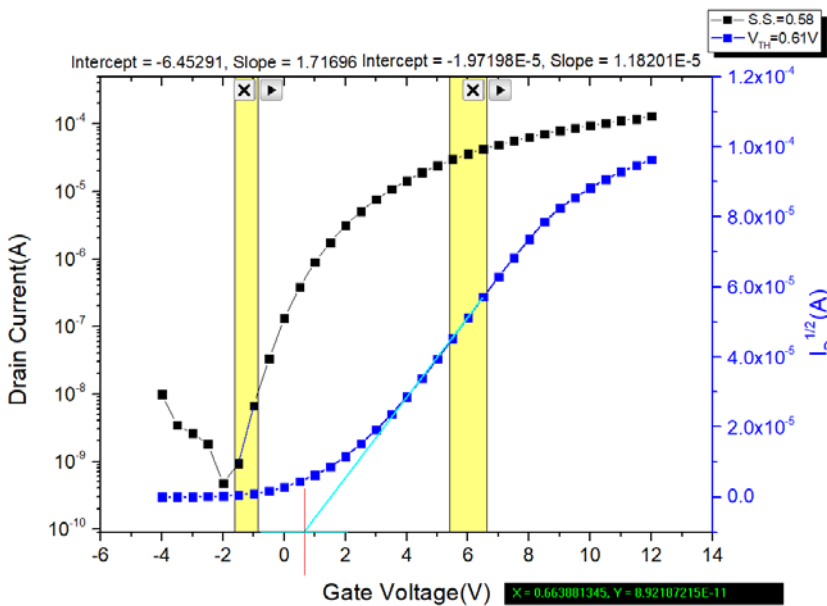
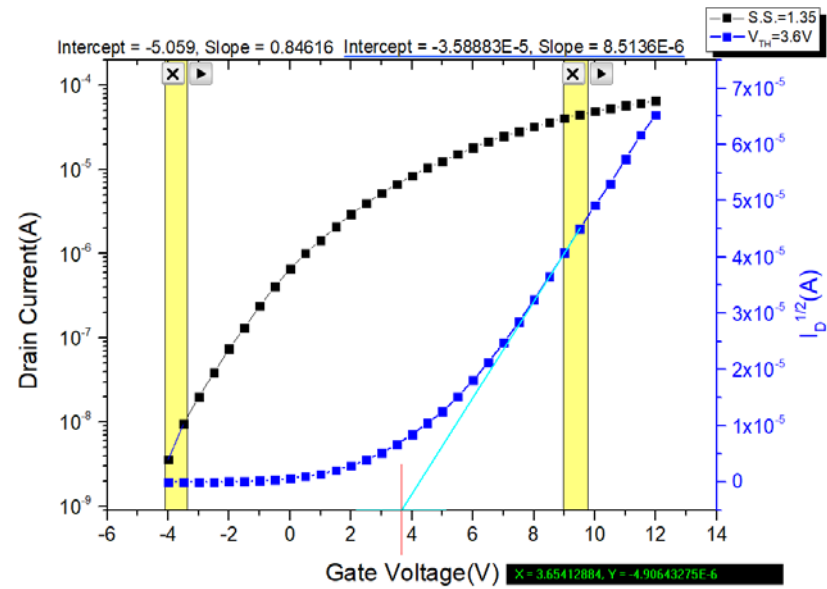


圖 3-4 不同介電層的氧化銻鎵鋅薄膜電晶體輸出特性  
 (A)  $Al_2O_3$  (B)  $Ta_2O_5/Al_2O_3$  (C)  $Ta_2O_5/HfO_2/Al_2O_3$



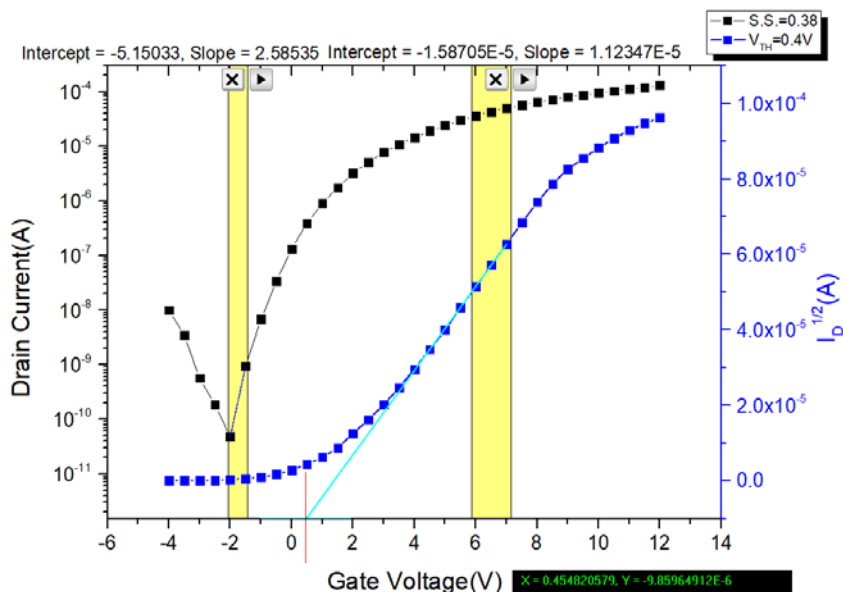


圖 3-5 不同介電層的氧化銦鎵鋅薄膜電晶體輸出特性

(A) Al<sub>2</sub>O<sub>3</sub> (B) Ta<sub>2</sub>O<sub>5</sub>/ Al<sub>2</sub>O<sub>3</sub> (C) Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>

	Saturation current (uA)	V <sub>Th</sub> (V)	S.S.(V/dec)	I <sub>on</sub> /I <sub>off</sub> ratio
Device Al <sub>2</sub> O <sub>3</sub>	8.5 x 10 <sup>-5</sup>	3.6	1.35	1.81x 10 <sup>4</sup>
Device Ta <sub>2</sub> O <sub>5</sub> /Al <sub>2</sub> O <sub>3</sub>	1.1 x 10 <sup>-4</sup>	0.6	0.58	2.72 x 10 <sup>5</sup>
Device Ta <sub>2</sub> O <sub>5</sub> /HfO <sub>2</sub> /Al <sub>2</sub> O <sub>3</sub>	1.4 x 10 <sup>-4</sup>	0.4	0.38	2.74 x 10 <sup>6</sup>

表 1-3 不同介電層的電晶體電性參數

### 3-4 不同介電層的氧化銦鎵鋅薄膜電晶體遲滯

圖 3-6(A)、3-6(B)、3-6(C)為使用正負電壓掃描所顯示元件的遲滯特性，當向著正電壓掃描時，電子會在通道層以及絕緣層的界面處累積，並且電子會被絕緣層的缺陷所俘獲，從而導致需要更大的負電壓才可使元件開啟。於圖中不同介電層 Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>/Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>的 IGZO TFT 遲滯測量分別為 2.4V、0.5V、0.4V，如表 1-4。而會造成遲滯現象之原因有許多種，不外乎下列幾種：

- (1) 可移動離子(mobile ion)受電場的遷移
- (2) 受電場影響的極化(polarization)，常為鐵電材料
- (3) 從閘極而來的電荷注入(charge injection)
- (4) 從基板而來的電荷注入

前述(1)~(3)項可以造成 IDS-VGS 曲線順時針方向的走向，圖 3-6(A)、3-6(B)、3-6(C)，亦即由正偏壓量測回來時，造成 IDS-VGS 曲線相對性往負偏壓方向偏移的現象，從電性結果顯示證明介電層當向著正電壓掃描時，電子會在通層以及絕緣層的界面處累積，並且電子會被介電層的缺陷所俘獲，從而導致需要更大的負電壓才可使元件開啟 [7, 8]，於表 4-4 會發現，遲滯現象會與堆疊結構閘極介電層有明顯的關係，堆疊閘極介電層 Diopole 越大之元件，其遲滯情況會越小，造成這個結果的原因為堆疊結構於閘極介電層間形成 Diopole，堆疊結構閘極介電層由於 Diopole 造成更多電子會在通道層以及絕緣層的界面處累積，抑制電子被介電層缺陷所俘獲的現象 [9, 10]，導致磁滯幅度減小，意味著堆疊結構閘極介電層具有更好的開關穩定性。

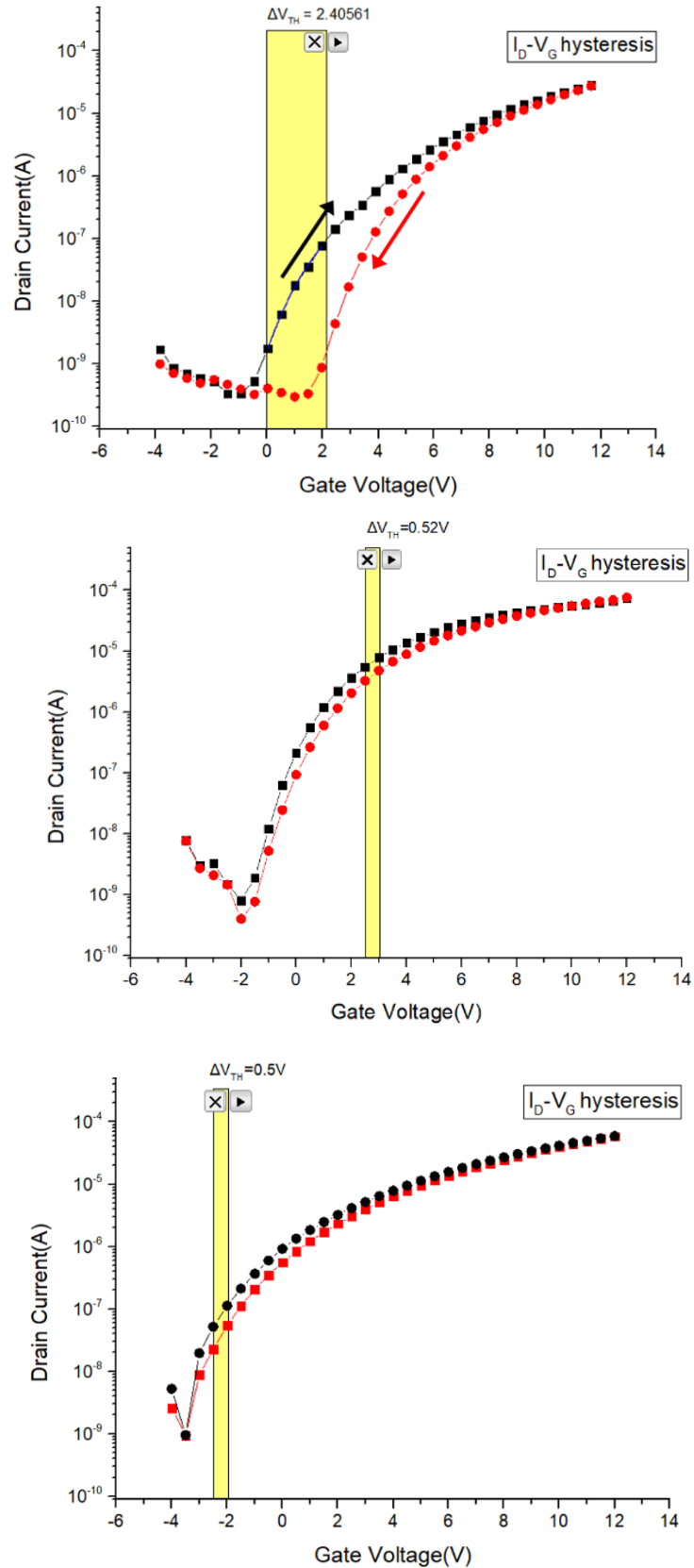


圖 3-6 不同介電層的氧化銦鎵鋅薄膜電晶體遲滯特性曲線

(A)  $Al_2O_3$  (B)  $Ta_2O_5/Al_2O_3$  (C)  $Ta_2O_5/HfO_2/Al_2O_3$

	Hysteresis
Device Al <sub>2</sub> O <sub>3</sub>	2.4V
Device Ta <sub>2</sub> O <sub>5</sub> /Al <sub>2</sub> O <sub>3</sub>	0.52V
Device Ta <sub>2</sub> O <sub>5</sub> /HfO <sub>2</sub> /Al <sub>2</sub> O <sub>3</sub>	0.5V

表 1-4 不同介電層的電晶體遲滯特性電性參數

### 3-5 薄膜電晶體照光電性分析

金屬氧化物半導體感測器的感測機制主要是分析其接收光子能量以後激發電子，使得電子從價帶躍遷至導帶對其電性之影響變化，然而並非所有光子能量都能吸收，超過半導體之能隙的光才能激發產生電子電洞對，使得載子濃度變大，電導率提高，如圖 3-7。

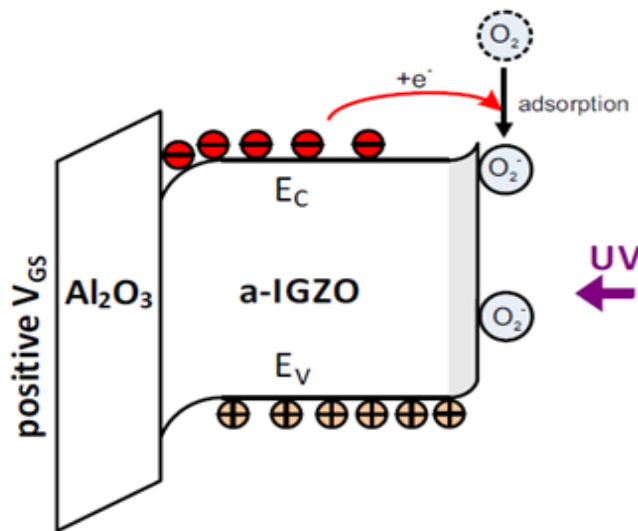
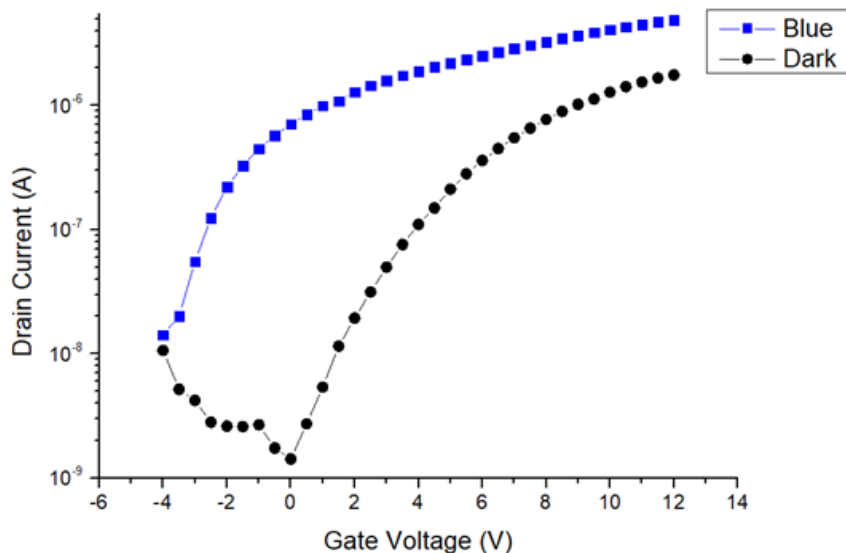
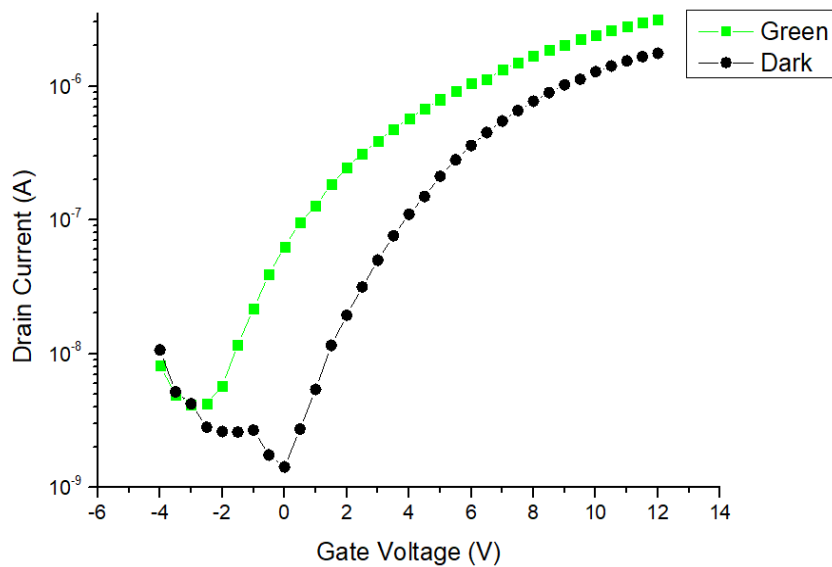


圖 3-7 金屬半導體氧化物感測機制示意圖

此節研究 IGZO 薄膜電晶體在不同光波長的電特性，我們以 LED 燈作為光源，使用波長為 **UV 375 nm**、**Blue 457nm**、**Green 533nm** 照射 IGZO 薄膜電晶體，如圖 3-8。IGZO 能隙 3.3eV 轉換成波長為約 375nm，表示當照明波長小於 375nm 時，IGZO 薄膜中的氧空缺 (Vo) 會被光能激發形成氧離子空位 (Vo<sup>2+</sup>)，圖為我們的實驗結果。當薄膜照射波長為 **Blue 457nm**、**Green 533nm** 的光源時，電晶體電性略有變化，原因是 IGZO 中的缺陷或雜質將在能隙中具有許多能量狀態，電子佔據空的能量狀態，所以不需小於 375nm 波段，就能有額外的電子獲得能量躍遷至導帶，使 IGZO 薄膜電導率上升，而光能越強所可以激發的能級就越深，如圖所示 [11-12]。因為光照會增加次臨界電流和載子濃度，所以電晶體的導通電流和截止電流皆有上升的趨勢，表示 IGZO 具有感光特性 [13]。由圖觀察到，當不同波段照光時，末端電流值會隨著不同的光強度而有所抬升，當光的波長越短能量越大 (綠光→UV 光) 抬升電流值也相對越大。於電晶體源極、閘極、汲極中，給予不同電壓會造成彼此能帶抬升情況有所不同，當能帶施予一負偏壓時，會造成能帶位能的抬升；若給予一正偏壓，則會使得能帶位能下降。而

當給予照光時，所產生的電洞會被能帶所捕捉，影響著起始電壓的改變。此刻若使用光強度較強的短波長給予照光，產生較多的電子電洞對會流入此區域，造成電晶體只需較小的閘極偏壓就可以使之呈現導通狀態；相同的，若用光強度較弱的長波長給予照光，所產生的電子電洞對較少，要呈現電晶體的導通則需要較大的閘極偏壓，達到反轉成的導通狀態。因此相較於短波長波段，長波長波段照光的起始電壓值會較大。此時若是照光反掃(閘極由 14V 掃至 -6V)，由於閘極電壓變小會造成閘極位能的抬升。此情況發生時，使得電洞於能帶中所存在的區域變大，此刻若照光，所產生的電洞對該區域補充下，造成起始電壓的變小(只需較少的閘極電壓就可以使電晶體導通)；換句話說，在我們對照光反掃(閘極由正偏壓掃至→負偏壓)的過程中，起始電壓值是不斷的在變動，而我們所量測到的電流值，則是在起始電壓變動後所量測到的點。



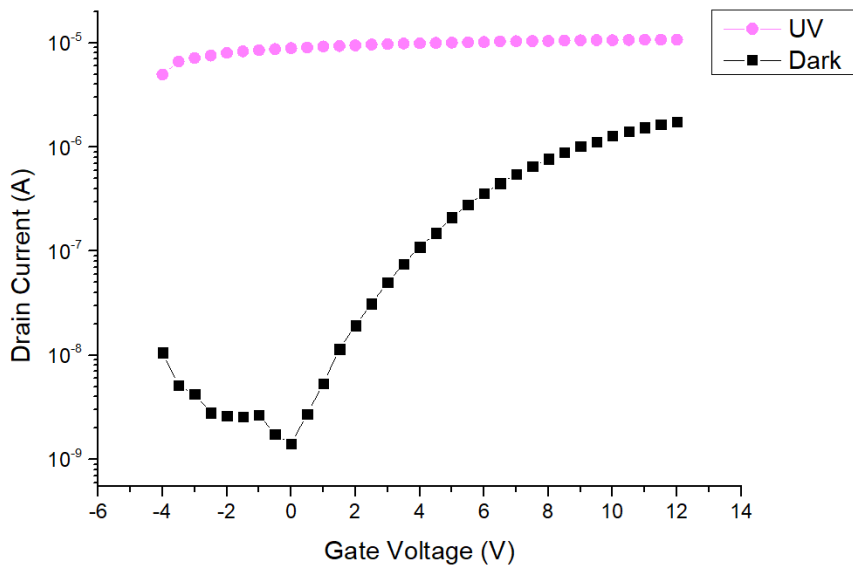


圖 3-8 IGZO 薄膜電晶體在不同光波長的正面電特性

(A) Al<sub>2</sub>O<sub>3</sub> (B) Ta<sub>2</sub>O<sub>5</sub>/ Al<sub>2</sub>O<sub>3</sub> (C) Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>

### 3-6 結論

本研究中，我們對氧化銦鎵鋅薄膜電晶體在以不同高介電材質（HK Dielectric）之堆疊結構閘極介電層探討其應用電晶體技術之可行性。從電性結果顯示，採用 Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 堆疊結構閘極介電層的電晶體有較好的電晶體元件特性，與單層 Al<sub>2</sub>O<sub>3</sub> 閘極介電層的元件相較之下，堆疊結構閘極介電層增加 40% 的驅動電流（Drive Current），改善閘極電容值，提高載子遷移率，增強 I<sub>on</sub>/I<sub>off</sub> ratio，有更小的臨界電壓與臨界擺幅（S.S.），施加很小的閘極偏壓就能使元件的輸出電流大幅的提高，Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 堆疊結構氧化銦鎵鋅薄膜電晶體飽和電流、載子遷移率、臨界電壓、次臨界斜率、電流開關比分別為  $1.4 \times 10^{-4} \mu\text{A}$ 、 $109 \text{ cm}^2/\text{VS}$ 、 $0.4 \text{ V}$ 、 $0.38 \text{ V/dec}$ 、 $2.76 \times 10^6$ ，堆疊結構閘極介電層中的材料 Ta<sub>2</sub>O<sub>5</sub> 有較高的介電常數，因此堆疊結構閘極電容的改善確實也是電流驅動能力提升的原因，並且 Al<sub>2</sub>O<sub>3</sub> 介電層和 Ta<sub>2</sub>O<sub>5</sub> 介電層之間會因氧密度的差異性形成 Diopole，Diopole 在通道層吸引電子，使得堆疊結構閘極介電層的電晶體電流與單層 Al<sub>2</sub>O<sub>3</sub> 閘極介電層的元件相較之下，有較大的驅動電流（Drive Current）和電子與電洞載子遷移率的增加，並且降低臨界電壓，從電性結果顯示，堆疊結構介電層比單層介電層 Al<sub>2</sub>O<sub>3</sub> 元件有更好的電特性，基於前述的優異電性表現與製程相容性，此堆疊結構閘極介電層目前普遍使用於半導體廠且完全相容於現有的積體電路製程技術，使得堆疊結構閘極介電層具有應用於高效能電晶體技術的潛力，成為應用於下一代電晶體之前瞻技術。

在第二部份實驗，我們將堆疊結構氧化銦鎵鋅薄膜電晶體在不同波長光照下進行了光反應之研究，經過量測測試後，氧化銦鎵鋅薄膜電晶體光感測器的確具有做為感測器的各項條件，且具有再現性，當氧化銦鎵鋅薄膜電晶體吸收紫外光會產生電子電洞解離，電性會有所改變，觀察電性的變化以達到做為光感測的目的，結果顯示氧化銦鎵鋅薄膜電晶體具有光敏特性，除了應用在開關元件上，在光感偵測器上的應用也具潛力。

#### 4. 參考文獻

- [1] Hosono, H. (2006). "Ionic amorphous oxide semiconductors: Material design, carrier transport, and device application." *Journal of Non-Crystalline Solids* 352(9):851-858.
- [2] T. Kamiya and H. Hosono, "Material characteristics and applications of transparent amorphous oxide semiconductors," *NPG Asia Materials*, vol. 2, pp. 15-22, 2010.
- [3] Nidhi Tiwari, Ram Narayan Chauhan, Po-Tsun Liu\* and Han-Ping D. Shieh, *IEEE Trans. Modification of intrinsic defects in IZO/IGZO thin films for reliable bilayer thin film transistors*, 2016, 6, 756
- [4] Haifeng Pu, Qianfei Zhou, Lan Yue, Qun Zhang, Investigation of oxygen Plasma treatment on the device performance of solution-processed a-IGZO thin film transistors, Investigation of oxygen plasma treatment on the device performance of solution-processed a-IGZO thin film transistors, *Applied Surface Science*, vol.283, p. 722-726, 2013.
- [5] Seungjun Lee, Seokhwan Bang, Joohyun Park, Soyeon Park, Woocho Jeong, and Hyeongtag Jeon, The effect of oxygen remote plasma treatment on ZnO TFTs fabricated by atomic layer deposition, *Phys. Stat. Solidi A*, vol. 207, No. 8, p. 1845-1849, 2010.
- [6] N. Tiwari, R. N. Chauhan, H.-P. D. Shieh, P.-T. Liu and Y.-P. Huang, *IEEE Trans. Electron Devices*, 2016, 63, 1578–1581.
- [7] J.-M. Lee, B.-H. Choi, M.-J. Ji, J.-H. Park, J.-H. Kwon and B.-K. Ju, "The improved performance of a transparent ZnO thin-film transistor with AlN/Al<sub>2</sub>O<sub>3</sub> double gate dielectrics," *Semiconductor Science and Technology*, vol. 24, no. 5, 2009.
- [8] Y.-J. Chen, Y.-H. Tai and C.-Y. Chang, "Mechanism of Hysteresis for a-IGZO TFT Studied by Changing the Gate Voltage Waveform in Measurement," *IEEE Transactions on Electron Devices*, vol. 63, no. 4, pp. 1565-1571, 2016.
- [9] Y. Xu, X. Li, L. Zhu and J. Zhang, "Defect modification in ZnInSnO transistor with solution-processed Al<sub>2</sub>O<sub>3</sub> dielectric by annealing," *Materials Science in Semiconductor Processing*, vol. 46, pp. 23-28, 2016.
- [10] Y.-Z. Fu, J. Li, C.-Y. Zhao, C.-X. Huang, J.-H. Zhang, X.-F. Li, X.-Y. Jiang and Z.-L. Zhang, "TiSiO<sub>x</sub> gate dielectrics produced by reactive sputtering for high performance InGaZnO thin film transistors," *Materials Science in Semiconductor Processing*, vol. 61, pp. 125-130, 2017.
- [11] D.K. Hwang, M.S. Oh, J.M. Hwang, J.H. Kim, S. Im, *Appl. Phys. Lett.* vol.92, pp. 3304, 2008.
- [12] A. Takagi, K. Nomura, H. Ohta, H. Yanagi, T. Kamiya, M. Hirano, and H. Hosono, "Carrier transport and electronic structure in amorphous oxide semiconductor, a- InGaZnO<sub>4</sub>," *Thin Solid Films*, vol. 486, pp. 38–41, 2005.
- [13] K. Nomura, T. Kamiya, and Hosono, "Highly stable amorphous IGZO TFT produced by eliminating deep subgap defect", *Applied Letters*, vol. 99, pp. 053505, 2011.
- [14] M.C. Cai, M.Z. Chen, "High permittivity gate dielectric materials for cmos technology", vol. 1, pp. 13-19, 2015.

