

電力線通訊通道量測與發射機實現

蕭岫之、陳逸民、陳穎樟
國立中央大學通訊工程學系

摘要 —電力線通訊近來蓬勃發展，可藉由既有之電力線路傳遞訊號，不需重新佈線，可解決通訊傳輸中最後一哩的問題。在本篇論文中，對電力線通道進行了以軟體方式的測量環境，並且實作了純FPGA數位訊號處理的傳送接收平台。

一、簡介

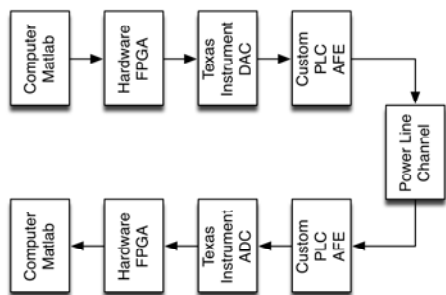
電力線通訊近來蓬勃發展，可藉由既有之電力線路傳遞訊號，不需重新佈線，可解決通訊傳輸中最後一哩的問題。在本篇論文中，對電力線通道進行了以軟體方式的測量環境，並且針對電力線通道的特有現象進行探討，包括了特殊雜訊以及通道變化等。

此外設計並且實現了在電力線上通訊的即時軟體定義 OFDM 發射機與接收機。在平台使用了 FPGA 實驗板、數位轉類比與類比轉數位開發板以及自製電力線類比前級。在發射機之訊號處理模組中設計了串列轉並列處理器、高速迴旋碼編碼器、訊號交錯器、星座圖映射器、反快速傅立葉轉換器、循環字首置入器和前導符碼置入器等，而在接收機設計了訊號同步器、快速傅立葉轉換器、通道估測器、通道等化器、硬式決策器、訊號解交錯器及通道解碼器等。傳送頻帶為 2.3MHz~20MHz，在 64-QAM 的模式之下最高傳輸率為 42.52Mbps。

二、電力線通道量測

2.1 軟體量測平台

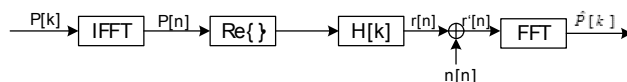
在軟體量測平台以 MATLAB 實現所有訊號處理，搭配 FPGA 實現訊號的播放與收錄，最後使用 DAC、ADC、自製電力線類比前級 (Analog-Front-End, AFE) 產生及發射訊號。軟體量測平台架構如圖一。



圖一：電力線軟體量測平台架構圖

而在通道量測的方式已迫零等化 (Zero Forcing, ZF) 實現，如圖二所示。

(1) 式為 ZF 等化方式的數學式，雖然可完美消除 ISI (Inter-Symbol Interference) 但會使得通道的雜訊放大。



圖二：迫零等化訊號流程

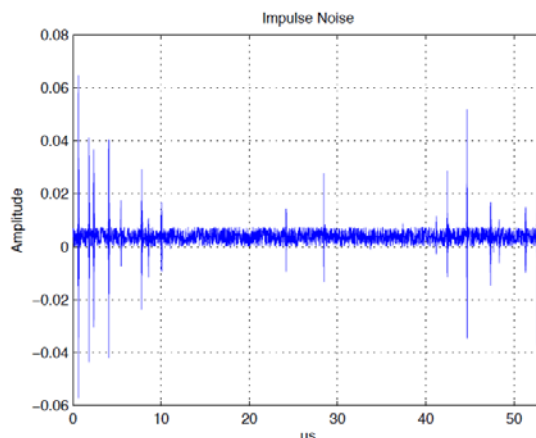
$$R[k] = P[k] \times H[k] = \hat{P}[k]$$

$$\hat{H}[k] = \frac{\hat{P}[k]}{P[k]} = H[k] + \frac{N[k]}{P[k]} \tag{1}$$

$$Z[k] = \frac{1}{\hat{H}[k]} = \frac{1}{H[k]} + \frac{P[k]}{N[k]}$$

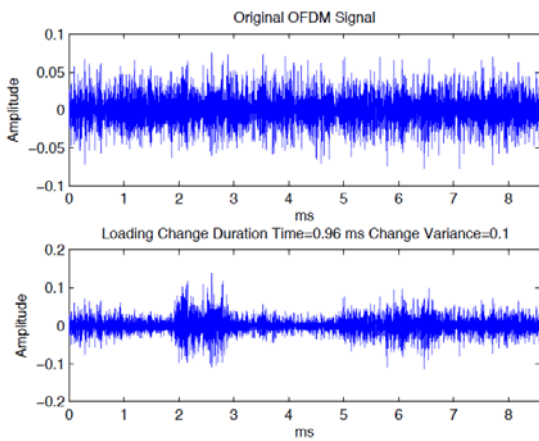
2.2 電力線通道特性與量測結果

由於電力線原本設置之目的不為通訊使用，故其在使用電力線通訊時會發生許多在其他通訊環境上較難發生的現象，例如脈衝雜訊(如圖三)、負載變化(如圖四等)。



圖三：在取樣率 48MHz 下的脈衝雜訊

¹ 本研究由國科會贊助，計畫編號 NSC XX-0123-456-789。(請於此處說明研究經費補助單位)。

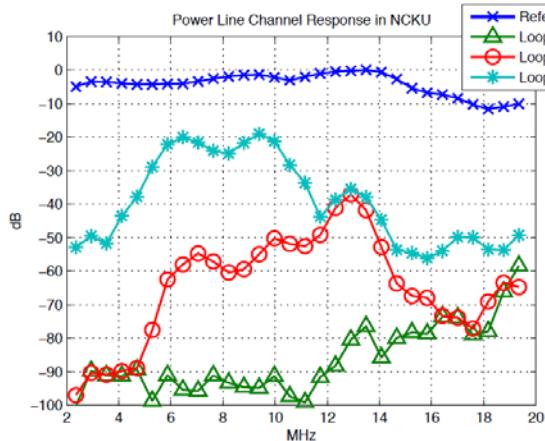


圖四：負載變化示意圖

時間：2012.08.27

地點：國立成功大學奇美樓能源與電力系統實驗室

環境：迴路 5 A 區電腦 6 台、B 區電腦 6 台
迴路 7 C 區電腦 6 台、伺服器 1 台
迴路 9 列表機、傳真機、碎紙機、電鍋、
烤箱與微波爐



圖五：電力線通道響應

配合國科會計畫在成功大學的實驗室進行量測，圖三中的各個迴路為經過特定布局，所以可知迴路上有多少電器正在使用，另外迴路 9 之通道響應為使用單頻率弦波進行量測，固可量測至 -100dB 的訊號強度響應。

三、自訂規格之電力線通訊

本篇論文所實作之電力線通訊平台為參考 HomePlug AV[1] 與 DVB-T[2] 規格所實現，其自訂規格如表 I。

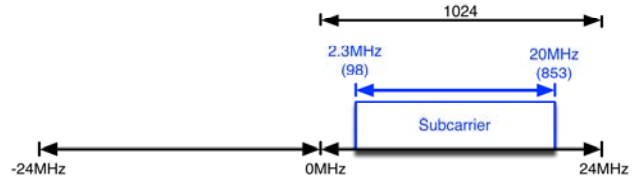
表 I

HomePlug AV 與自訂規格比較

| | HomePlug AV | 自訂規格 |
|-------------|-------------|-----------|
| 頻譜 | 1.8~30MHz | 2.3~20MHz |
| 取樣頻率 | 75MHz | 48MHz |
| FFT/IFFT 大小 | 3072 | 2048 |
| 子載波數目 | 115 | 756 |
| 循環字首點數 | 567 | 512 |
| 子載波間隔 | 24.414kHz | 23.438kHz |
| FFT 週期 | 40.96 μs | 42.667 μs |

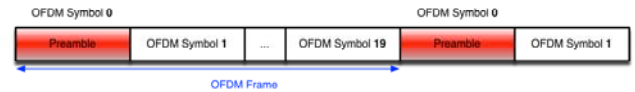
| | | |
|-------|------------------|-----------|
| 保護間隔 | 7.56 μs | 10.667 μs |
| 通道編碼 | ½或¾渦輪碼 | ½迴旋碼 |
| 星座圖 | BPSK,QPSK | QPSK |
| | 16(64)256,1024QA | 16(64)QAM |
| 最大資料率 | 142Mbps | 42.52Mbps |

其中子載波使用狀況如圖六。



圖六：子載波對應示意圖

而在自製電力線通訊平台也是使用 ZF 等化來進行等化，通道資訊的更新情況與前導符碼 (Preamble) 的出現週期有關，預設之出現週期為 20 個 OFDM 符碼。自訂系統之 OFDM 碼框架結構如圖七。

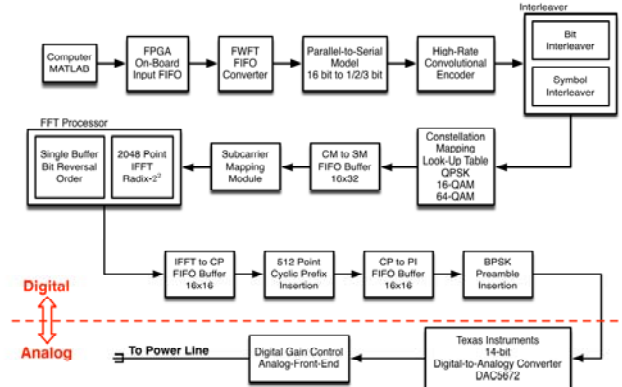


圖七：自訂系統 OFDM 碼框架結構

除此之外在本篇論文中也實現了一可軟體定義之傳送收發平台也可改變 OFDM 的碼框架結構。

四、自訂規格之電力線通訊發射機架構

Broadband Power Line Communication Transmitter Block Diagram

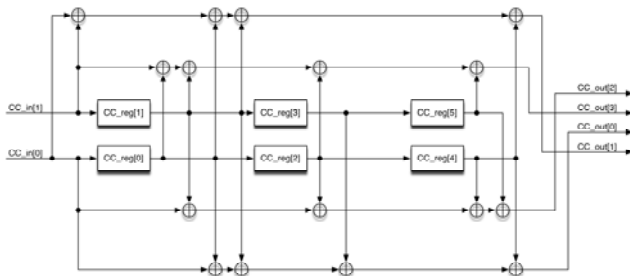


圖八：自訂規格電力線通訊發射機硬體架構

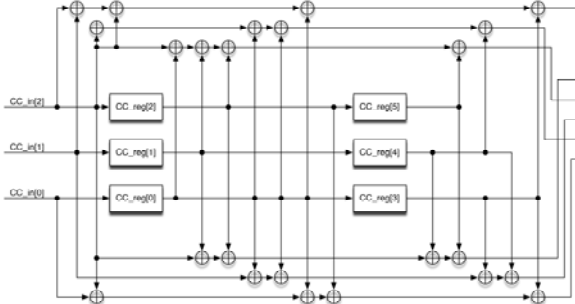
圖八為自訂規格電力線通訊發射機之完整硬體架構，途中可看出為了降低系統時序安排的複雜度使用了多個 FIFO (First-In-First-Out) 緩衝器來控制時序。

4.1 迴旋碼高速編碼器

在傳統迴旋碼編碼會導致在處理更多位元數的情況之下使得系統的操作頻率等效降低，因此在本論文中透過增加邏輯運算電路的方式使得在不增加暫存器的情形之下增加資料的輸出量以保持系統之操作頻率。



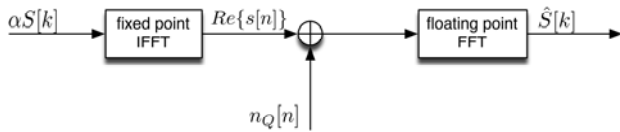
圖九：迴旋碼高速邊碼器在 16-QAM 下之硬體架構



圖十：迴旋碼高速邊碼器在 64-QAM 下之硬體架構

4.2 星座圖映射器

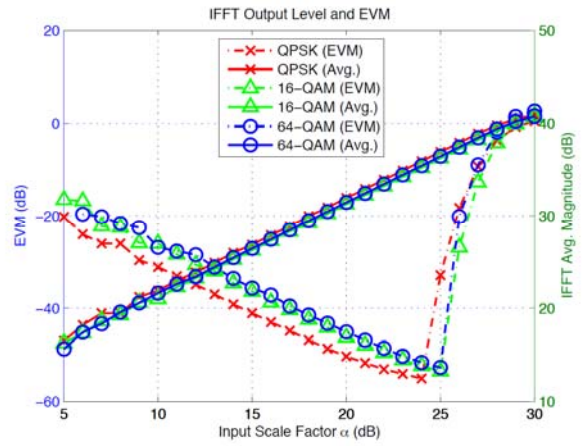
星座圖映射器使用查表法實現，另外在輸入資料大小也必須考慮誤差向量幅度 (Error Vector Magnitude, EVM) 其測試環境如圖十一，數學式如 (2) 式。



圖十一：EVM 示意圖

$$EVM = \frac{\left| \hat{S}[k] - \alpha \frac{S[k]}{2} \right|^2}{\left| \alpha \frac{S[k]}{2} \right|^2} \quad (2)$$

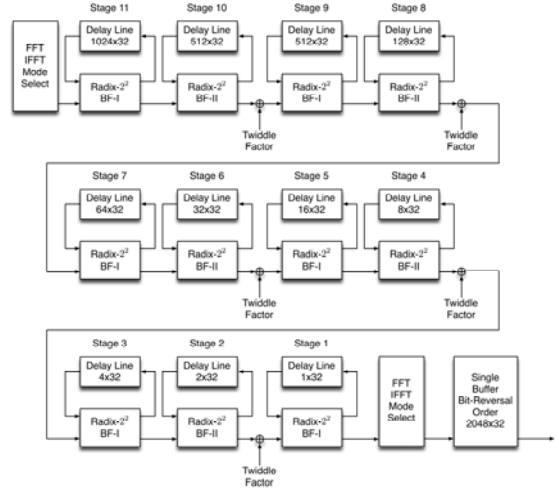
而圖十二為實際經過定點數之 IFFT 處理器後，使用 MATLAB 計算 EVM，為了使 IFFT 輸出訊號 EVM 達到最高又不會使 IFFT 產生運算飽和現象，故在輸入資料的放大因子 α 選擇 23 dB 作為放大倍數。



圖十二：IFFT 輸出訊號之 EVM

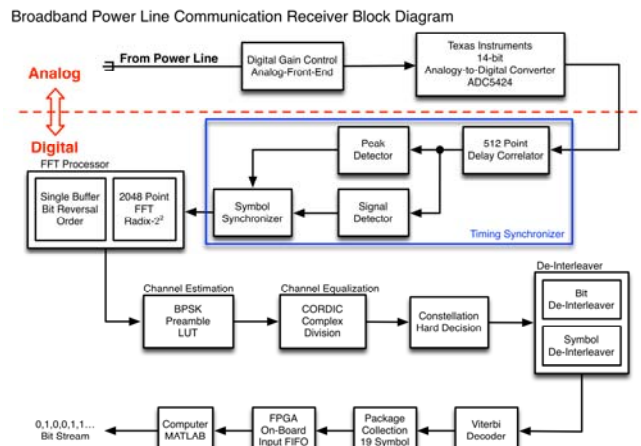
4.3 快速傅立葉轉換器[4]

在論文中 FFT/ IFFT 採用管道式 (Pipeline) 單延遲迴授 (Single Delay Feedback, SDF) Radix-2² 之 FFT 架構，其中 FFT 需要的乘法器以 CORDIC 演算法取代。



圖十三：Pipeline SDF Radix-2² FFT

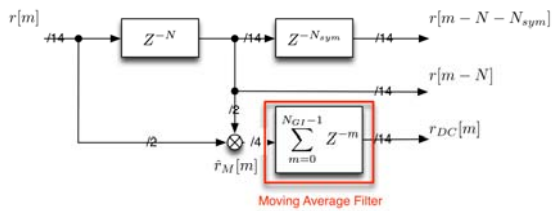
五、自訂規格之電力線通訊接收機架構[3]



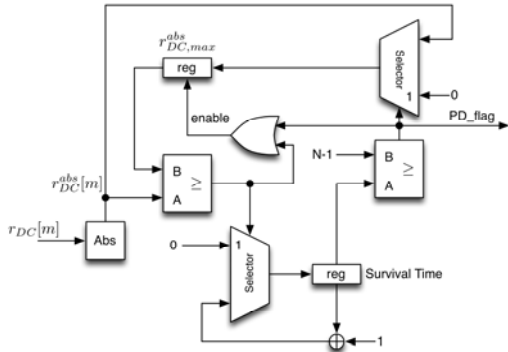
圖十四：自訂規格電力線通訊發射機硬體架構

5.1 時序同步器

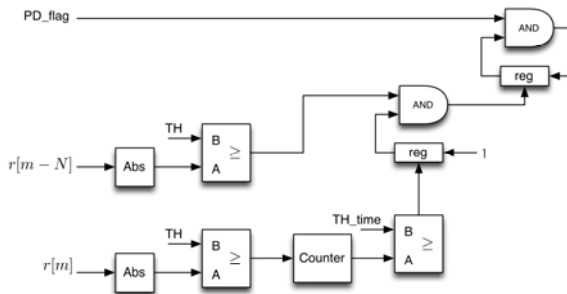
在訊號的同步上，分別有：延遲相關器(圖十五)、峰值偵測器(圖十六)、訊號偵測器(圖十七)以符碼同步器(圖十八)。



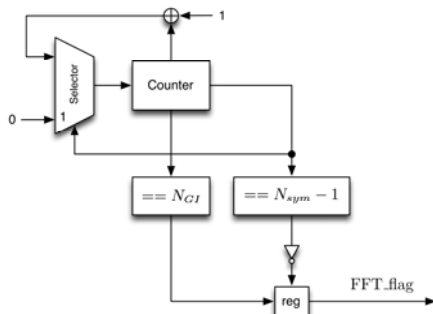
圖十五：延遲相關器硬體架構



圖十六：峰值偵測器硬體架構



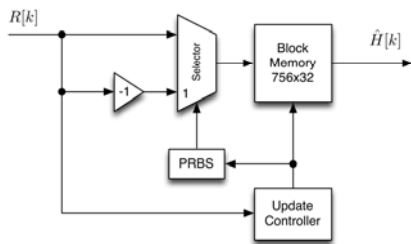
圖十七：訊號偵測器硬體架構



圖十八：符碼同步器硬體架構

5.2 通道估測與等化器

在前導符碼的設計上是使用 BPSK 訊號，所以在接收端僅需判斷訊號的正負值即可得到通道響應，如圖十九。



圖十九

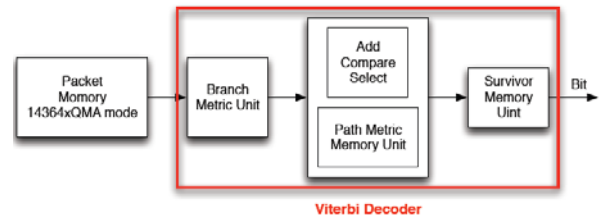
而在通道等化一樣採用 ZF 等化器，而在除法器的部分也是使用 CORDIC 實現演算法如 (3) 式。

$$\begin{aligned}
 x[i+1] &= x[i] \\
 y[i+1] &= y[i] - \text{sign}(y[i]) \cdot x[i] \cdot 2^{-i} \\
 z[i+1] &= z[i] + \text{sign}(z[i]) \cdot 2^{-i} \\
 i &= 0 \sim N-1
 \end{aligned}
 \tag{3}$$

當初使條件為 $x[0]$ = 除數、 $y[0]$ = 被除數、 $z[0] = 0$ 經過 $N-1$ 次微旋轉後， z 將會逼近 y/x 。

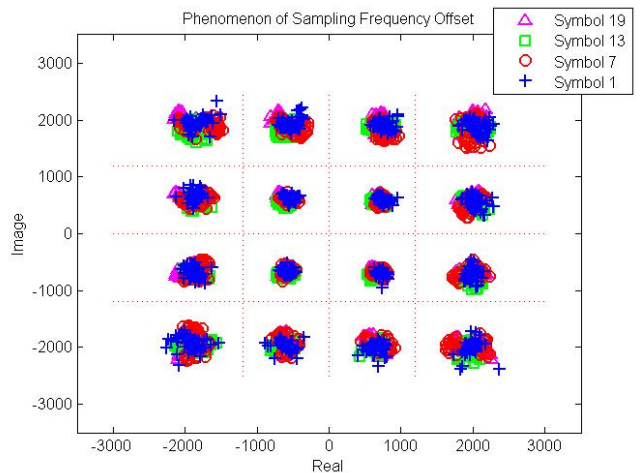
5.3 腓特比解碼器[5]

本論文所採用的腓特比解碼器硬體架構可參考[5]，硬體解碼主要包含分支路徑計量值、累積路徑計量值與存活路徑之運算等三個步驟。當經過解交錯器後的訊號要進入腓特比解碼器前，必須要做位元計量值 (Bit Metric) 運算，其運算只是將碼字 0 對應成 1，1 對應成 -1。另外，此解碼器輸入格式是允許一個時間點進入一個位元所對應的值，即 1 或 -1，但由於解交錯後的訊號在一個時間點可能為 2 位元 (QPSK)、4 位元 (16-QAM) 或 6 位元 (64-QAM)，故我們必須將此轉換成每個時間點皆為 1 位元；即是降低資料處理時脈，方可進入解碼器處理。在實現上，我們使用了一記憶體加上多工器來完成此功能。硬體架構如圖二十。



圖二十：腓特比解碼器硬體架構

六、實際訊號傳輸



圖二十一

圖二十一為實作電力線通訊平台在 16-QAM 模式下接收端的訊號星座圖，可以發現星座圖有些許旋轉的現象，此種現象稱為取樣率偏差 (Sampling Frequency Offset, SFO)，是因為即使發射與接收端的取樣率規格都是 48MHz 但因元件製成的不同，發射端和接收端的取樣頻率往往不會相同，所以在取樣率偏差的累積之下，

可看到在越後面的符碼旋轉的狀況會越嚴重。而這種情形也可以透過縮短通道更新的周期來得到改善。

結論

在本篇論文中實作了自訂規格軟體定義的電力線通訊發射與接收平台，所謂軟體定義，即為使用者可透過定義特定暫存器的數值來達到更動硬體規格的效果，在此平台中可定義星座圖模式、循環字首長度以及前導符碼週期。透過此平台的建置可自行掌握通訊規格，以及因應需求來調整參數，未來可在新增各式模組，如針對 SFO 的修正與自動增益控制等等，以達到通訊平台的完整性。

參考文獻

- [1] ETSI, *Digital Video Broadcasting (DVB); Framing Structure, Channel Coding and Modulation for Digital Terrestrial Television*, 2009.
- [2] H.P. Alliance, HomePlug AV White Paper." [Online]. Available: http://www.homeplug.org/tech/whitepapers/HomePlug_AV2_White_Paper_v1.0.pdf, 2005.
- [3] J.-C. Jiang, "Design and FPGA Implementation of a Real-Time OFDM Transceiver for Power Line Communications," Master's thesis, National Central University, 2011.
- [4] P.-C. Wang, "Design and Implementation of Variable-Length Fast Fourier Transform Processor in OFDM Systems," Master's thesis, National Central University, 2007.
- [5] C.-H. Kuo, "Design and Implementation of Viterbi Decoder for Multi-Rate Convolutional Code in DVB-T System," Master's thesis, National Central University, 2010.

